

8 位微控制器

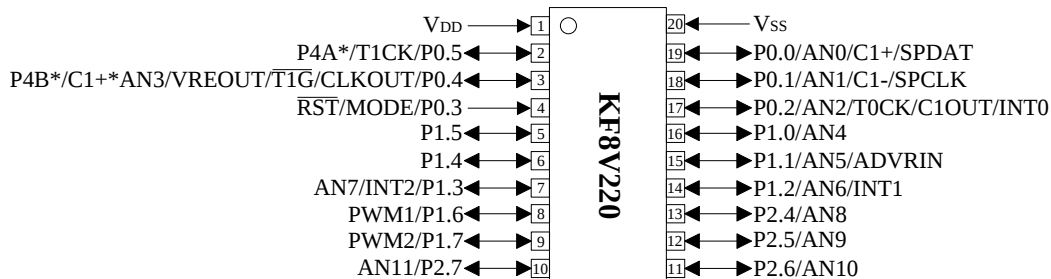
KF8V220 数据手册

产品订购信息

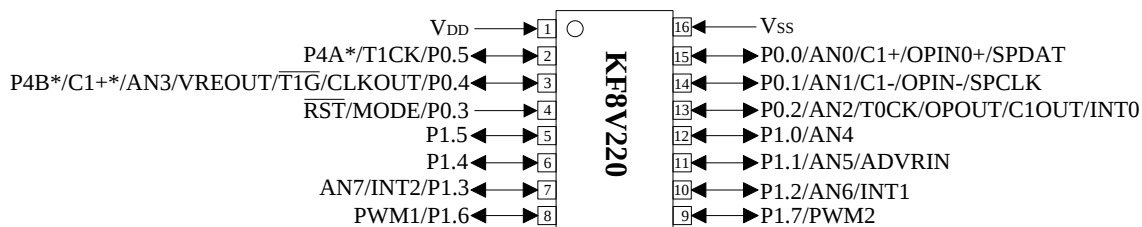
型号	KF8V220		
订货号	KF8V220SDR	KF8V220SGR	KF8V220OGR
封装	SOIC-16	SOIC-20	SSOP-20
FLASH	2K×16 位		
RAM(Byte)	256+16		
内部晶振	16MHz		
定时器	2		
12 位 ADC 通道	8	12	12
PWM	2 路 8 位		
模拟比较器	1		
内部参考	1.7V		

引脚示意图

20 引脚示意图:



16 引脚示意图:



引脚功能说明

引脚名	I/O	引脚功能	引脚说明
1	P	V _{DD}	电源
2	I/O	P0.5	带上拉和电平变化中断功能的双向输入输出端口
		P4A*	PWM 输出, 备用引脚
		T1CK	T1 时钟输入
3	I/O	P0.4	带上拉和电平变化中断功能的双向输入输出端口
		AN3	ADC 输入通道 3
		VREOUT	1.7V 参考电压输出
		C1+*	模拟比较器正输入端 1
		P4B*	PWM 输出, 备用引脚
		T1G	T1 门控信号输入
		CLKOUT	系统时钟输出
4	I/O	P0.3	带电平变化中断的输入端口
		RST	外部复位信号输入
		MODE	编程模式选择
5	I/O	P1.5	带上拉的双向输入输出端口
6	I/O	P1.4	带上拉的双向输入输出端口
7	I/O	P1.3	带上拉的双向输入输出端口
		INT2	外部中断 2 输入
		AN7	ADC 输入通道 7
8	I/O	P1.6	带上拉的双向输入输出端口
		PWM1	PWM1 输出
9	I/O	P1.7	带上拉的双向输入输出端口
		PWM2	PWM2 输出
10	I/O	P2.7	带上拉的双向输入输出端口
		AN11	模拟输入通道 11
11	I/O	P2.6	带上拉的双向输入输出端口
		AN10	模拟输入通道 10
12	I/O	P2.5	带上拉的双向输入输出端口
		AN9	模拟输入通道 9
13	I/O	P2.4	带上拉的双向输入输出端口
		AN8	模拟输入通道 8
14	I/O	P1.2	带上拉的双向输入输出端口
		AN6	模拟输入通道 6
		INT1	外部中断 1 输入
15	I/O	P1.1	带上拉的双向输入输出端口
		AN5	模拟输入通道 5
		ADVRIN	AD 外部参考电压输入
16	I/O	P1.0	带上拉的双向输入输出端口
		AN4	模拟输入通道 4
		P0.2	带上拉的双向输入输出端口

17	I/O	T0CK	T0 时钟输入
		AN2	模拟输入通道 2
		C1OUT	模拟比较器 1 输出
		INT0	外部中断 0 输入
18	I/O	P0.1	带上拉和电平变化中断功能的双向输入输出端口
		AN1	ADC 输入通道 1
		C1-	模拟比较器 1 负端输入
		SPCLK	在线编程时钟输入
19	I/O	P0.0	带上拉和电平变化中断功能的双向输入输出端口
		AN0	ADC 输入通道 0
		C1+	模拟比较器 1 正端输入
		SPDAT	编程数据输入/输出
20	P	Vss	地, 0V 参考点

目 录

产品订购信息	2
引脚示意图	3
引脚功能说明	4
目 录	6
1 系统概述	10
1.1 芯片特征	11
1.2 系统框图	12
1.3 存储器	13
1.4 系统时钟	14
1.5 配置位	16
1.6 在线串行编程	17
2 I/O端口介绍	18
2.1 I/O端口的读写	19
2.2 P0 口	20
2.2.1 P0 口相关的寄存器	20
2.2.1.1 P0 口状态读取寄存器 (P0)	21
2.2.1.2 P0 口输出锁存寄存器 (P0LR)	21
2.2.1.3 P0 口方向控制寄存器 (TR0)	21
2.2.1.4 上拉功能控制寄存器(PUR0)	22
2.2.1.5 电平变化中断控制寄存(IOCL)	22
2.2.2 P0 口各引脚内部原理功能框图	24
2.3 P1 口	25
2.3.1 P1 口相关的寄存器	25
2.3.1.1 P1 口状态读取寄存器 (P1)	25
2.3.1.2 P1 口输出锁存寄存器 (P1LR)	26
2.3.1.3 P1 口方向控制寄存器(TR1)	26
2.3.1.4 P1 端口弱上拉控制寄存器(PUR1)	27
2.3.2 P1 口原理功能框图	27
2.4 P2 口	28
2.4.1 P2 口相关的寄存器	28
2.4.1.1 P2 口状态寄存器 (P2)	28
2.4.1.2 P2 口输出锁存寄存器 (P2LR)	29
2.4.1.3 P2 口方向控制寄存器(TR2)	29
2.4.1.2 P2 端口弱上拉控制寄存器(PUR2)	29
2.4.2 P2 口原理功能框图	30
3 存储器	31
3.1 程序存储器(ROM)区	32

3.2	数据存储器(RAM)区.....	33
3.2.1	特殊功能寄存器(SFR)区	33
3.3	寄存器组RN	34
3.4	ID地址单元	34
4	汇编指令及寻址方式	35
4.1	寻址方式	35
4.1.1	寄存器寻址	35
4.1.2	直接寻址	35
4.1.3	立即数寻址	35
4.1.4	寄存器间接寻址	36
4.1.5	位寻址	36
4.2	汇编指令	36
5	中断	37
5.1	中断相关的寄存器	39
5.1.1	中断控制寄存器(INTCTL).....	39
5.1.2	中断使能寄存器EIE1	40
5.1.3	中断标志寄存器EIF1	41
5.1.4	中断优先级控制寄存器IP0.....	42
5.1.5	中断优先级控制寄存器IP1.....	43
5.1.6	电源控制寄存器PCTL	43
5.1.7	中断响应	45
5.2	INT中断	46
5.2.1	INT0 中断	46
5.2.2	INT1 中断	46
5.2.3	INT2 中断	46
5.3	定时器中断	47
5.4	P0 口中断.....	47
5.5	PWM中断.....	47
5.6	中断现场保护	47
6	定时器/计数器.....	48
6.1	定时器/计数器 0(T0).....	48
6.1.1	T0 原理框图.....	48
6.1.2	T0 相关的寄存器.....	48
6.1.3	OPTR选择寄存器	49
6.1.4	定时模式	50
6.1.5	计数模式	50
6.1.6	T0 的使用.....	50
6.2	定时器/计数器T1.....	51
6.2.1	T1 原理框图.....	51
6.2.2	T1 相关的寄存器.....	51
6.2.2.1	T1 控制寄存器	52

6.2.3	定时模式	52
6.2.4	计数模式	53
6.2.5	T1 在休眠模式下的运行.....	53
6.2.6	T1 分配给PWM1/2	53
7	模数(A/D)转换模块.....	54
7.1	与AD相关的寄存器.....	54
7.1.1	AD控制寄存器 0(ADCCTL0).....	55
7.1.2	AD控制寄存器 1(ADCCTL1).....	56
7.1.3	模拟/数字口选择寄存器(ANSEH/L)	57
7.2	通道的选择	57
7.3	模拟输入口的配置	57
7.4	A/D转换参考电压的选择	57
7.4.1	参考电压寄存器 1 (VRECTL1)	58
7.4.2	VREOUT参考电压	58
7.5	转换时钟的选择	59
7.6	输出格式	59
7.7	A/D转换的启动和完成	59
7.8	A/D 工作在休眠模式	59
7.9	复位的影响	60
7.10	转换器的设置	60
8	PWM模块	61
8.1	PWM1/2 模块.....	61
8.2	PWM1/2 计数时钟原理.....	62
8.3	PWM1/2 相关的寄存器.....	62
8.3.1	PWM控制寄存器	62
8.3.2	PWM1/2 周期	63
8.3.3	PWM1/2 占空比	63
8.3.4	PWM1/2 分辨率	64
8.3.5	PWM1/2 中断	64
8.3.6	休眠模式下的操作	64
8.3.7	系统时钟频率的改变	64
8.3.8	复位的影响	64
8.3.9	PWM1/2 使用方法	65
9	模拟比较器模块	66
9.1	模拟比较器原理	66
9.2	模拟比较器控制寄存器 (CM1CTL)	66
9.3	比较器中断	67
9.4	比较器使用	67
10	复位	68
10.1	上电复位(POR)	68
10.2	WDT复位	68

10.3	RST复位.....	69
10.4	欠压检测复位(LVR)	69
10.5	上电延时定时器	69
10.6	不同复位条件下对寄存器的影响.....	70
11	休眠模式	72
12	看门狗定时器	73
13	电气规范	74
13.1	极限参数值	74
13.2	时钟温漂特性图	75
13.3	静态电流特性	76
13.4	外设电流特性	77
13.5	I/O端口电平和芯片供电电压特性.....	78
13.6	A/D 转换器（ADC）特性	79
13.7	比较器模块规范	79
13.8	振荡器模块规范	80
13.9	内部参考模块规范	80
14	直流特性图表	81
15	封装信息	87
附录 1	KF8V220 SFR地址映射及功能汇总	89
附录 2	汇编指令集	90
附录 3	寄存器全称表	92
产品标识体系		93
版本信息		94
ROSH认证		95
声明及销售网络		96

1 系统概述

KF8V220 为哈佛结构的精简指令 CPU。在这种结构中，程序和数据总线是相互独立的。指令字节长度为 16 位，大多数指令能在一个机器周期内执行完成。一共有 69 条指令，效率高，容易进行指令扩展。芯片内集成了多种外设，包括 1 个 8 位定时器/计数器 T0、1 个 16 位定时器/计数器 T1、1 个 12 通道 12 位 ADC 模块、2 路 8 位 PWM 模块、1 个模拟比较器、硬件看门狗和低电压检测及低电压复位模块等。

芯片内集成了 272(128+16)×8 位的数据存储器 RAM、2K×16 位的程序存储器。

1.1 芯片特征

● CPU

高性能哈佛结构的 RISC CPU
69 条精简指令
支持中断优先级处理
复位向量位于 0000H
两级中断可选，用不同的入口地址（高 0004H，低 0014H）
工作频率为 62.5kHz~16MHz，软件可选

● 存储器

2K×16 位 FLASH 程序存储器
272×8 位的数据存储器
工作寄存器组 R0~R7
FLASH 可经受 100 000 次写操作

● 特殊功能

内嵌上电复位电路
低电压检测及低电压复位
硬件看门狗
时钟精度 16MHz±1%（常温）
提供一个 1.7V 的参考电压
支持在线串行编程，低功耗休眠模式

● I/O 口配置

输入输出口：除 P0.3 只能作为输入口外其它端口均为双向输入输出口
内置上拉功能：P0/P1/P2 口带有弱上拉功能(P0.3 除外)
电平变化中断：P0 口均有电平变化中断功能

● 定时器/计数器

定时器 0：带有 8 位预分频器的 8 位定时器/计数器
定时器 1：带门控和预分频器的 16 位定时器/计数器

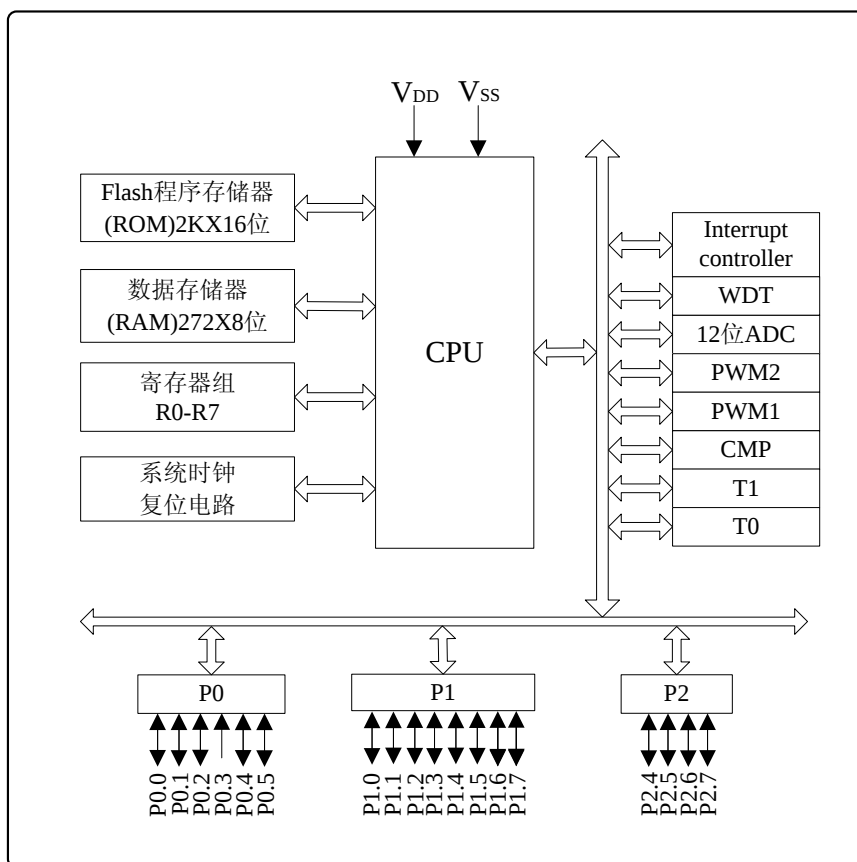
● 其它外设

1 个 12 位 ADC 模块
2 路 8 位脉宽调制 PWM 模块
1 个模拟比较器模块

● 工作条件

工作电压：2.6V~5.0V
工作温度范围：-30~85℃

1.2 系统框图



1.3 存储器

KF8V220 单片机的存储器包含：工作寄存器组 R0~R7、程序存储器(ROM)、数据存储器(RAM)。

KF8V220 的程序存储器空间为 2K×16 位，寻址范围为 0000H~07FFH，可擦写次数为 10 万次。数据存储器有 3 个存储区，这里称为特殊寄存器区(SFR)、通用存储器区 0 和通用存储器区 1 区，每个存储器区有 128×8 位的存储单元，这 3 个区的地址分别为 00H~7FH、80H~0FFH 和 180H~1FFH。

有关以上各种存储器的具体介绍请参考第 3 章。

1.4 系统时钟

振荡周期又叫时钟周期，是振荡器振荡频率的倒数。本芯片中一个机器周期等于四个系统周期，如图 1.1 所示。本芯片除执行部分跳转指令需要两个机器周期外，其余指令仅需要一个机器周期。

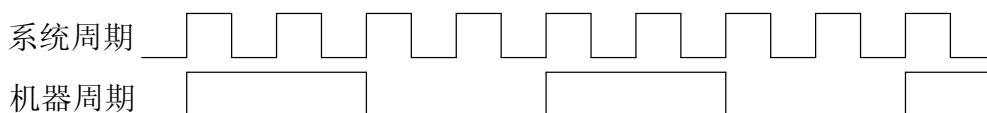


图 1.1 机器周期

KF8V220 单片机通过系统内部振荡器提供系统工作时钟，没有外部时钟输入和扩展口，时钟频率为 62.5kHz~16MHz，通过频率选择寄存器 OSCCTL(如寄存器 1.1 所示)选择系统工作频率，精度为±1%（常温）。时钟框图如图 1.2 所示。

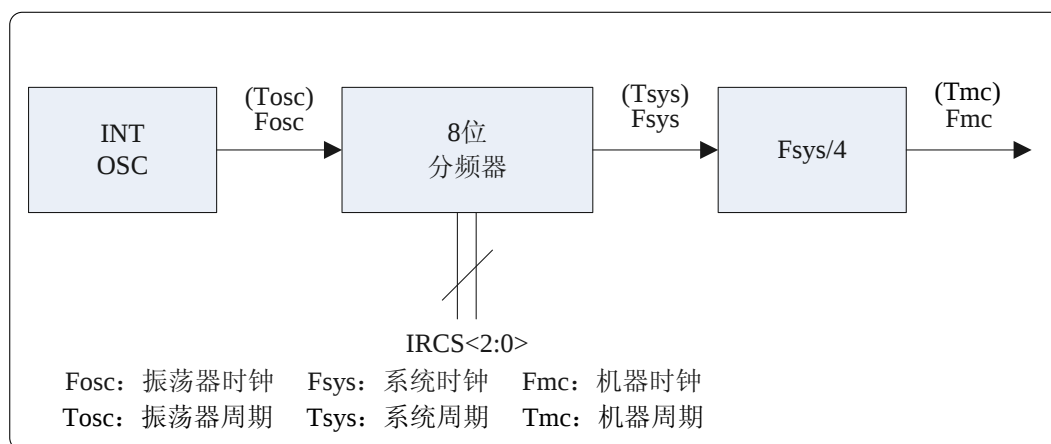


图 1.2 时钟框图

寄存器1.1: OSCCTL系统频率控制寄存器(地址:2FH)

	bit7							bit0
复位值 0010 ----	CKOEN	IRCS2	IRCS1	IRCS0	-	-	-	-
	R/W	R/W	R/W	R/W	U	U	U	U

注：R=可读 W=可写 U=未用 x=不定 后面与此相同不再复述

CKOEN: 系统时钟输出使能位

1 = 使能系统时钟输出

0 = 禁止系统时钟输出

IRCS<2:0> 时钟频率选择位

111=16MHz

110=8MHz

101=4MHz

100=2MHz

011=1MHz

010=500kHz(默认)

001=250kHz

000=62.5kHz

图注：R=可读 W=可写 -=未用 U=未实现位

OSCCAL0、OSCCAL1、OSCCAL2、OSCCAL3 为内部振荡器时钟校准寄存器，用户在编程时，需要在程序初始化部分将存放在程序空间 07FFH、07FEH、07FDH、07FCH 的晶振校准值读出来存放到 OSCCAL0、OSCCAL1、OSCCAL2、OSCCAL3，参考例子 1.1，否则会导致系统时钟频率不准。

例 1.1 读晶振校准值

```
CALL    0X7FF
MOV     OSCCAL0, R0
NOPZ
NOPZ
CALL    0X7FE
MOV     OSCCAL1, R0
NOPZ
NOPZ
CALL    0X7FD
MOV     OSCCAL2, R0
NOPZ
NOPZ
CALL    0X7FC
MOV     OSCCAL3, R0
NOPZ
NOPZ
CALL    0X7FB
MOV     VRECAL1, R0
NOPZ
NOPZ
CALL    0X7FA
MOV     VRECAL2, R0
NOPZ
NOPZ
```

注：VRECAL1 和 VRECAL2 参考章节 7.4.2

1.5 配置位

如寄存器 1.2 所示，用户在烧写程序时，在编程器中通过对配置位进行设置，使单片机启用诸如看门狗、程序代码保护、欠压检测等功能。

寄存器1.2: CONFIG: 配置字

R/P	U	U	R/P	R/P	R/P	R/P	R/P	U	U	U
DEBUG	-	-	CODEP	LVREN	RSTEN	PWRT	WDTEN	-	-	-
bit10			bit7				bit3			bit0

注：R=可读 P=编程时可写 -=未用 U=未实现位

- DEBUG: 在线调试使能位
1 = 禁止在线调试
0 = 使能在线调试
- CODEP: 代码保护使能位
1 = 禁止程序存储器代码保护
0 = 使能程序存储器代码保护
- LVREN: 欠压检测功能使能位
1 = 使能欠压检测功能
0 = 禁止欠压检测功能
- RSTEN: P0.3/ $\overline{\text{RST}}$ 引脚功能选择
1 = P0.3/ $\overline{\text{RST}}$ 引脚配置为外部复位输入
0 = P0.3/ $\overline{\text{RST}}$ 引脚功能为数字输入口
- PWRT: 上电延时使能位
1 = 短上电延时（约 1ms）
0 = 长上电延时（约 70ms）
- WDTEN: 看门狗定时器(WDT)使能位
1 = 使能 WDT
0 = 禁止 WDT

1.6 在线串行编程

如图 1.3、1.4 所示，在最终应用电路中可对 KF8V220 单片机进行在线串行编程。实现编程仅需要五根线包括：时钟线(SPCLK)、数据线(SPDAT)、电源线(VDD)、地线(VSS)、编程模式选择线(MODE)。

开发人员和用户可以使用未编程的单片机来制造电路板，然后对其在线编程，调试等。只要有电脑、USB 下载线和编程器，即可在任何时间、任何地点，对电路板上的单片机程序进行更新。

芯片引脚 SPCLK 和 SPDAT 不能有较大电容，电容不能超过 1nf。

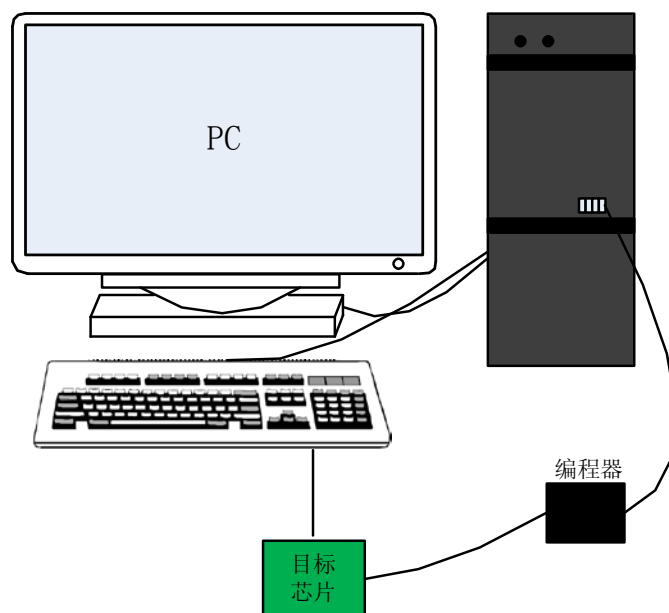


图 1.3 在线调试系统示意图

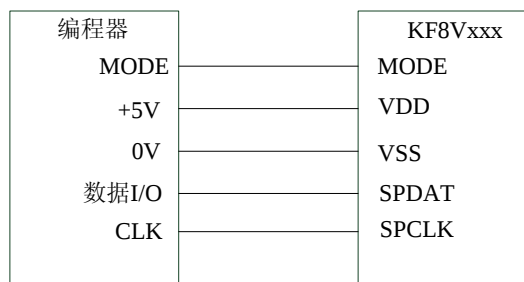
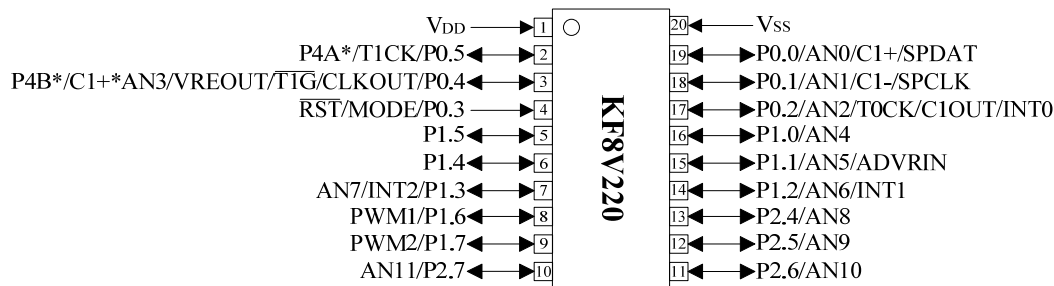


图 1.4 在线串行编程连接图

2 I/O 端口介绍

如图 2.1 所示，KF8V220 单片机最多有 20 个引脚，1 脚接电源正极，20 脚接电源负极，其余管脚均为 I/O 端口（除 P0.3），包括 P0 口、P1 口和 P2 口。P0 口共有 P0.0~P0.5 六个引脚，P1 口共有 P1.0~P1.7 八个引脚，P2 口共有 P2.4~P2.7 四个引脚。

20 引脚示意图：



16 引脚示意图：

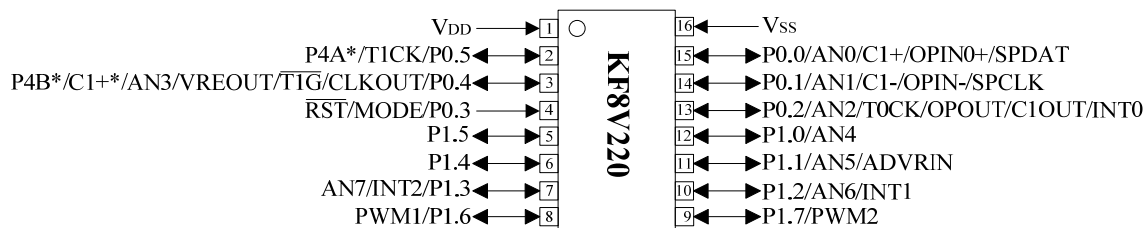


图 2.1 KF8V220 引脚功能图

注：用户在正常使用时，通常会有一些用不到的引脚，如果直接把这些管脚悬空，而不做其他处理可能使单片机功耗增大，因此建议将那些不用的引脚设置为数字输出模式，如果P0.3未用，应外接上拉电阻，并对地下拉一个电容。

读 P0/P1/P2 口时实际为读端口电平, 即读 $P_x(x=0/1/2)$, 改变 IO 端口的输出状态通过写 $PxLR(x=0/1/2)$ 寄存器。其原理框图如图 2.2 所示:

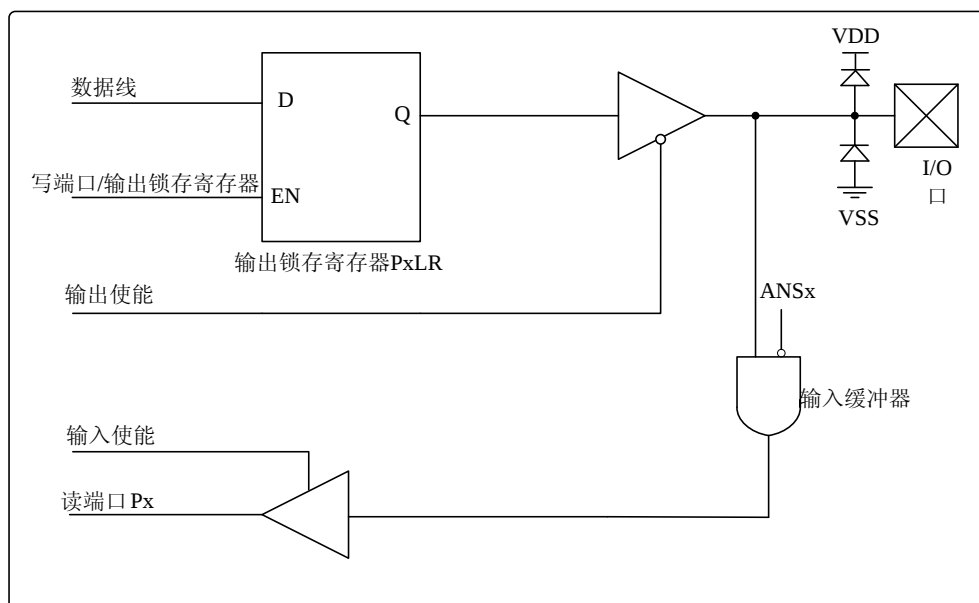


图 2.2 I/O 口读写原理图

注：I/O 口作为数字输入时，需将对应的 ANSx 位清 0。

IO 端口作为输出时, 可对 PxLR(x=0/1/2)进行赋值(寄存器操作或位操作), 以避免读-修改-写指令造成的其它口误操作。

2.2 P0 口

在线编程时 P0 口的 MODE、SPCLK、SPDAT 作为编程脚使用。P0.3 只能作为输入口且没有上拉功能，其它端口均可作为普通 I/O 口且带有上拉功能，P0 口所有引脚都有电平变化中断功能。KF8V220 的 P0 口各引脚功能表 2-1 所示。

表 2-1 P0 口各引脚功能介绍

引脚名	I/O	引脚功能	引脚说明
2	I/O	P0.5	带上拉和电平变化中断功能的双向输入输出端口
		P4A*	PWM 输出，备用引脚
		T1CK	T1 时钟输入
3	I/O	P0.4	带上拉和电平变化中断功能的双向输入输出端口
		AN3	ADC 输入通道 3
		VREOUT	1.7V 参考电压输出
		$\overline{T1G}$	T1 门控信号输入
		C1+*	模拟比较器正输入端 1
		P4B*	PWM 输出，备用引脚
		CLKOUT	系统时钟输出
4	I/O	MODE	编程模式选择
		P0.3	带电平变化中断的输入端口
		$\overline{RST}$	外部复位信号输入
17	I/O	P0.2	带上拉和电平变化中断功能的双向输入输出端口
		AN2	ADC 输入通道 2
		T0CK	T0 时钟输入
		INT0	外部中断 0 输入
		C1OUT	模拟比较器输出端
18	I/O	P0.1	带上拉和电平变化中断功能的双向输入输出端口
		AN1	ADC 输入通道 1
		SPCLK	编程时钟输入
		C1-	模拟比较器负端输入
19	I/O	P0.0	带上拉和电平变化中断功能的双向输入输出端口
		AN0	ADC 输入通道 0
		SPDAT	编程数据输入/输出
		C1+	模拟比较器正端输入

2.2.1 P0 口相关的寄存器

表 2-2 与 P0 端口相关的寄存器

地址	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
05H	P0	-	-	P05	P04	P03	P02	P01	P00
45H	P0LR	-	-	P0LR5	P0LR4	-	P0LR2	P0LR1	P0LR0
25H	TR0	-	-	TR05	TR04	TR03	TR02	TR01	TR00
36H	IOCL	-	-	IOCL5	IOCL4	IOCL3	IOCL2	IOCL1	IOCL0
35H	PUR0	-	-	PUR05	PUR04	-	PUR02	PUR01	PUR00

2.2.1.1 P0 口状态读取寄存器 (P0)

寄存器 P0 各位对应 P0 口相应引脚的状态，如寄存器 2.1 所示：

寄存器2.1: P0: P0口状态输出寄存器(地址: 05H)

复位值 --XX XXXX	bit7						bit0	
	-	-	P05	P04	P03	P02	P01	P00
	U	U	R/W	R/W	R/W	R/W	R/W	R/W

P0<5:0>: P0 口建议只做读取，读 P0 口各端口电平
1 = 对应引脚为逻辑高电平
0 = 对应引脚为逻辑低电平

图注：R=可读 W=可写 -=未用 U=未实现位

注：读 P0 寄存器实际读 P0 引脚的电平状态。

2.2.1.2 P0 口输出锁存寄存器 (POLR)

寄存器 POLR 是 P0 口输出锁存寄存器。在 P0 口作为输出时，通过写 POLR 寄存器来设置 P0 口的输出状态。

寄存器2.2: POLR: P0口输出锁存寄存器(地址: 45H)

复位值 XXXX -XXX	bit7						bit0	
	-	-	POLR5	POLR4	-	POLR2	POLR1	POLR0
	R/W	R/W	R/W	R/W	U	R/W	R/W	R/W

POLR<5:4>: 写 P0 口输出状态
POLR<2:0>: 写 P0 口输出状态
1 = 对应引脚输出高电平
0 = 对应引脚输出低电平

图注：R=可读 W=可写 -=未用 U=未实现位

2.2.1.3 P0 口方向控制寄存器 (TR0)

如寄存器 2.3 所示，TR0 为 P0 口方向控制寄存器，当 TR0 某位置 1 时，将该引脚设置为输入，此时引脚为三态(悬空)，TR0 某位清 0，对应引脚设置为输出。

寄存器2.3: TR0: P0口方向控制寄存器(地址: 25H)

复位值 1111 1111	bit7						bit0	
	-	-	TR05	TR04	TR03	TR02	TR01	TR00
	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

TR0<5:4>: P0 口各引脚方向控制位

TR0<2:0>: P0 口各引脚方向控制位
1 = 对应的引脚设置为输入
0 = 对应的引脚设置为输出

图注: R=可读 W=可写 -=未用 U=未实现位

注:TR03: P0.3 引脚控制位, 始终为 1

2.2.1.4 上拉功能控制寄存器(PUR0)

KF8V220 中除了 P0.3 口没有内部上拉功能外, 其它引脚均带有上拉功能, 可通过上拉功能控制寄存器和 OPTR 寄存器中的 $\overline{\text{PUPH}}$ 来控制上拉功能是否打开。

如果要将某引脚的上拉功能打开, 需要先将 $\overline{\text{PUPH}}$ (上拉功能总使能位)位清 0, 允许 P0 口上拉功能打开, 然后再将要打开上拉功能的引脚, 所对应的上拉功能控制位置 1 即可。寄存器 2.4 为上拉功能控制寄存器。

注: 只有将引脚设置为数字输入口时才可开启上拉功能, 如果将某引脚设置为输出或者设置为模拟输入口时将会自动禁止该引脚的上拉电阻。

寄存器2.4: PUR0: 弱上拉控制寄存器(地址: 35H)

	bit7					bit0		
复位值 1111-111	-	-	PUR05	PUR04	-	PUR02	PUR01	PUR00
	R/W	R/W	R/W	R/W	U	R/W	R/W	R/W

PUR0<5:4>: 上拉功能使能位

PUR0<2:0>: 上拉功能使能位

1 = 使能上拉功能

0 = 禁止上拉功能

图注: R=可读 W=可写 -=未用 U=未实现位

2.2.1.5 电平变化中断控制寄存(IOCL)

P0 口每个引脚都具有电平变化中断功能, 当引脚的当前电平与上次读 P0 寄存器时的电平不匹配时将产生电平变化中断。如寄存器 2.5 所示, IOCL 为电平变化中断控制寄存器, 将 IOCL 某位置 1 将开启对应引脚的电平变化中断功能, 如果该引脚电平发生变化, 不管电平变化中断是否使能, 电平变化中断标志位(POIF)都会置 1, 如果全局中断使能位(AIE)和电平变化中断使能位(POIE)都已置 1, 则会响应中断进入中断服务子程序。P0 口所有引脚的电平变化中断共用一个标志位 POIF。

注: 1. 只有将引脚设置为数字输入口时才可开启电平变化中断功能, 如果将某引脚设置为输出或者设置为模拟输入口时将会自动禁止该引脚的电平变化中断功能。

2. P0口各引脚的电平变化中断共用一个中断使能位和中断响应标志位。

寄存器2.5: IOCL: 电平变化中断控制寄存器(地址:36H)

	bit7						bit0	
复位值 0000 0000	-	-	IOCL5	IOCL4	IOCL3	IOCL2	IOCL1	IOCL0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IOCL<5:0>: P0 端口引脚电平变化中断使能控制位

1 = 使能对应引脚的电平变化中断

0 = 禁止对应引脚的电平变化中断

图注: R=可读 W=可写 -=未用 U=未实现位

注: P0 口电平变化中断是在引脚的当前电平与上次读 P0 寄存器时的电平不匹配时产生的, 所以每次中断标志位(P0IF)置 1 后都要更新 P0 寄存器的值。

电平变化中断参考:

```

JNB      INTCTL,P0IF    ;检测是否为P0电平变化中断
JMP      POINT
JMP      INT_RET        ;退出中断
POINT
MOV      P0 ;注意在处理电平变化中断前, 这里一定要更新锁存器锁存的值, 为了
          下一次电平变化中断处理,
...
          ;接下来为P0电平变化中断的处理
    
```

2.2.2 P0 口各引脚内部原理功能框图

如图 2.3、2.4 所示，为 P0 口引脚内部原理功能框图。

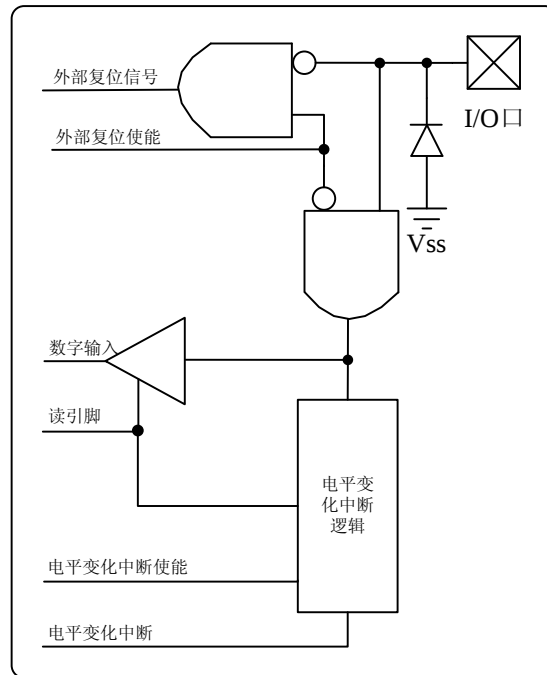


图 2.3 引脚 P0.3 原理功能框图

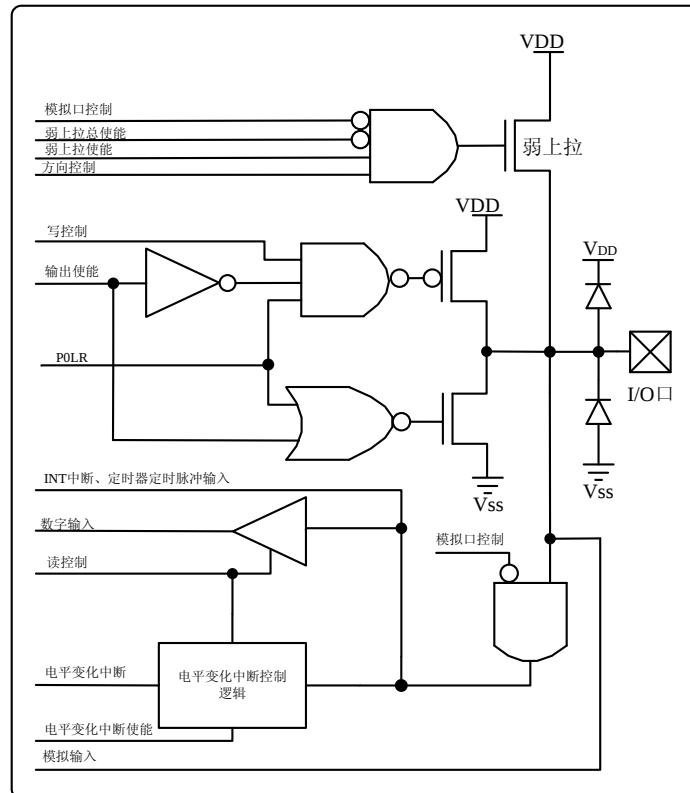


图 2.4 P0.0~P0.2、P0.4~P0.5 口引脚原理框图

2.3 P1 口

如图 2.1 所示，KF8V220 型号单片机 P1 口具有 8 个引脚。所有管脚均可作为普通 I/O 口，部分引脚可作为 AD、外部中断 1/2 等的输入。引脚功能如表 2-3 所示。

表 2-3 P1 口各引脚功能

引脚名	I/O	引脚功能	引脚说明
9	I/O	P1.7	带上拉的双向输入输出端口
		PWM2	PWM2 输出
8	I/O	P1.6	带上拉的双向输入输出端口
		PWM1	PWM1 输出
5	I/O	P1.5	带上拉的双向输入输出端口
6	I/O	P1.4	带上拉的双向输入输出端口
7	I/O	P1.3	带上拉的双向输入输出端口
		AN7	ADC 输入通道 7
		INT2	外部中断 2 输入
14	I/O	P1.2	带上拉的双向输入输出端口
		AN6	模拟输入通道 6
		INT1	外部中断 1 输入
15	I/O	P1.1	带上拉的双向输入输出端口
		ADVRIN	AD 外部参考电压输入
		AN5	模拟输入通道 5
16	I/O	P1.0	带上拉的双向输入输出端口
		AN4	ADC 输入通道 4

2.3.1 P1 口相关的寄存器

表 2-4 与 P1 口相关的寄存器

地址	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
07H	P1	P17	P16	P15	P14	P13	P12	P11	P10
47H	P1LR	P1LR7	P1LR6	P1LR5	P1LR4	P1LR3	P1LR2	P1LR1	P1LR0
27H	TR1	TR17	TR16	TR15	TR14	TR13	TR12	TR11	TR10
29H	PUR1	PUR17	PUR16	PUR15	PUR14	PUR13	PUR12	PUR11	PUR10

2.3.1.1 P1 口状态读取寄存器 (P1)

寄存器 P1 对应端口引脚作为普通 I/O 口时的状态，如寄存器 2.6 所示。

寄存器2.6: P1: P1口状态读取寄存器(地址: 07H)

复位值 xxxx xxxx	bit7							bit0
	P17	P16	P15	P14	P13	P12	P11	P10
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P1<7:0>: P1 口建议只做读取, 读 P1 口各端口电平
 1 = 对应引脚为逻辑高电平
 0 = 对应引脚为逻辑低电平

图注: R=可读 W=可写 -=未用 U=未实现位

注: 读 P1 寄存器实际读 P1 引脚的电平状态。

2.3.1.2 P1 口输出锁存寄存器 (P1LR)

寄存器 P1LR 是 P1 口输出锁存寄存器。在 P1 口作为输出时, 通过写 P1LR 寄存器来设置 P1 口的输出状态。

寄存器2.7: P1LR: P1口输出锁存寄存器(地址: 47H)

复位值 xxxx xxxx	bit7							bit0
	P1LR7	P1LR6	P1LR5	P1LR4	P1LR3	P1LR2	P1LR1	P1LR0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P1LR<7:0>: 写 P1 口输出状态
 1 = 对应引脚输出高电平
 0 = 对应引脚输出低电平

图注: R=可读 W=可写 -=未用 U=未实现位

2.3.1.3 P1 口方向控制寄存器(TR1)

如寄存器 2.8 所示, 通过将寄存器 TR1 中的某位置 1, 将对应管脚设置为输入口。清 0 设置为输出口, 系统复位时, P1 口各引脚默认为输入口。

寄存器2.8: TR1: P1口方向控制寄存器(地址: 27H)

复位值 1111 1111	bit7							bit0
	TR17	TR16	TR15	TR14	TR13	TR12	TR11	TR10
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TR1<7:0>: P1 口引脚方向控制位
 1 = P1 口对应引脚被配置为输入端口
 0 = P1 口对应引脚被配置为输出端口

图注: R=可读 W=可写 -=未用 U=未实现位

2.3.1.4 P1 端口弱上拉控制寄存器(PUR1)

用户如果需要使用 P1 口的弱上拉功能，只需要将 PUR1 寄存器相应的位置 1 即可使能相应引脚的弱上拉功能。

寄存器2.9: PUR1: P1端口弱上拉控制寄存器(地址: 29H)

复位值 0000 0000	bit7							bit0
	PUR17	PUR16	PUR15	PUR14	PUR13	PUR12	PUR11	PUR10
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUR1<7:0>: P1 端口上拉功能使能位

1 = 使能上拉功能

0 = 禁止上拉功能

图注: R=可读 W=可写 -=未用 U=未实现位

2.3.2 P1 口原理功能框图

如图 2.5 所示，P1 口共有 8 个引脚，P1 口引脚原理功能框图如图 2.5 所示：

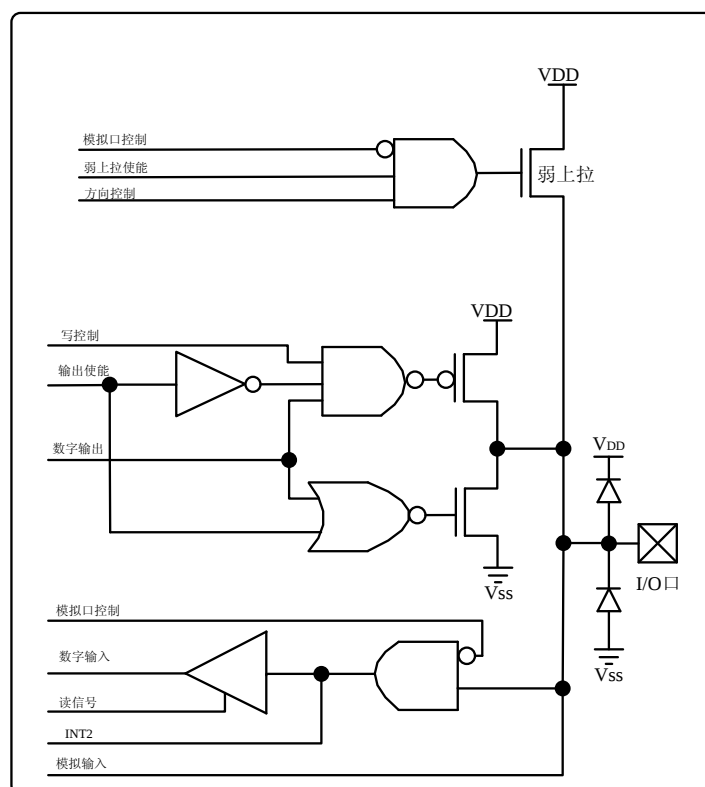


图 2.5 P1 口引脚原理功能框图

2.4 P2 口

如图 2.1 所示，KF8V220 单片机中 P2 口共有 4 个引脚。可作为普通 I/O 口或者 A/D 采样通道。

表 2-5 P2 口引脚功能

引脚名	I/O	引脚功能	引脚说明
10	I/O	P2.7	带上拉的双向输入输出端口
		AN11	模拟输入通道 11
11	I/O	P2.6	带上拉的双向输入输出端口
		AN10	模拟输入通道 10
12	I/O	P2.5	带上拉的双向输入输出端口
		AN9	模拟输入通道 9
13	I/O	P2.4	带上拉的双向输入输出端口
		AN8	模拟输入通道 8

2.4.1 P2 口相关的寄存器

表 2-6 与 P2 口相关的寄存器

地址	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
06H	P2	P27	P26	P25	P24	-	-	-	-
46H	P2LR	P2LR7	P2LR6	P2LR5	P2LR4	-	-	-	-
26H	TR2	TR27	TR26	TR25	TR24	-	-	-	-
28H	PUR2	-	-	-	-	PUR23	PUR22	PUR21	PUR20

2.4.1.1 P2 口状态寄存器 (P2)

寄存器 P2 各位对应端口 P2 口各引脚作为普通 I/O 口时的状态。如寄存器 2.10 所示。

寄存器 2.10: P2: P2 口状态寄存器(地址: 06H)

复位值 xxxx ----	bit7				bit0				P
	P27	P26	P25	P24	-	-	-	-	
	R/W	R/W	R/W	R/W	U	U	U	U	

P2<7:4>: P2 口各引脚状态位
1 = 对应引脚为逻辑高电平
0 = 对应引脚为逻辑低电平

图注: R=可读 W=可写 -=未用 U=未实现位

注: 读 P2 寄存器实际读 P2 引脚的电平状态。

2.4.1.2 P2 口输出锁存寄存器 (P2LR)

寄存器 P2LR 是 P2 口输出锁存寄存器。在 P2 口作为输出时，通过写 P2LR 寄存器来设置 P2 口的输出状态。

寄存器**2.11**: P2LR: P2口输出锁存寄存器(地址: 46H)

	bit7							bit0
复位值 XXXX ----	P2LR7	P2LR6	P2LR5	P2LR4	-	-	-	-
	R/W	R/W	R/W	R/W	U		U	U

P2LR<7:4>: 写 P2 口输出状态

1 = 对应引脚输出高电平

0 = 对应引脚输出低电平

图注: R=可读 W=可写 -=未用 U=未实现位

2.4.1.3 P2 口方向控制寄存器(TR2)

如寄存器 2.12 所示，通过将寄存器 TR2 中的某位置 1，将对应管脚设置为输入口。清 0 设置为输出口。

寄存器**2.12**: TR2: P2口方向控制寄存器(地址: 26H)

	bit7							bit0
复位值 1111 ----	TR27	TR26	TR25	TR24	-	-	-	-
	R/W	R/W	R/W	R/W	U	U	U	U

TR2<7:4> P2 口各引脚方向控制位

1 = P2 口对应引脚被配置为输入端口

0 = P2 口对应引脚被配置为输出端口

图注: R=可读 W=可写 -=未用 U=未实现位

2.4.1.2 P2 端口弱上拉控制寄存器(PUR2)

用户如果需要使用 P2 口的弱上拉功能，只需要将 PUR2 寄存器相应的位置 1 即可使能相应引脚的弱上拉功能。

寄存器**2.13**: PUR2: P2端口弱上拉控制寄存器(地址: 28H)

	bit7							bit0
复位值 ---- 0000	-	-	-	-	PUR23	PUR22	PUR21	PUR20
	U	U	U	U	R/W	R/W	R/W	R/W

PUR23: P2.7 上拉功能使能位

1 = 使能 P2.7 口上拉

0 = 禁止 P2.7 口上拉

- PUR22: P2.6 上拉功能使能位
1 = 使能 P2.6 口上拉
0 = 禁止 P2.6 口上拉
- PUR21: P2.5 上拉功能使能位
1 = 使能 P2.5 口上拉
0 = 禁止 P2.5 口上拉
- PUR20: P2.4 上拉功能使能位
1 = 使能 P2.4 口上拉
0 = 禁止 P2.4 口上拉

图注：R=可读 W=可写 -=未用 U=未实现位

2.4.2 P2 口原理功能框图

如图 2.1 所示，P2 口共有 4 个引脚，P2 口引脚原理功能如图 2.6 所示：

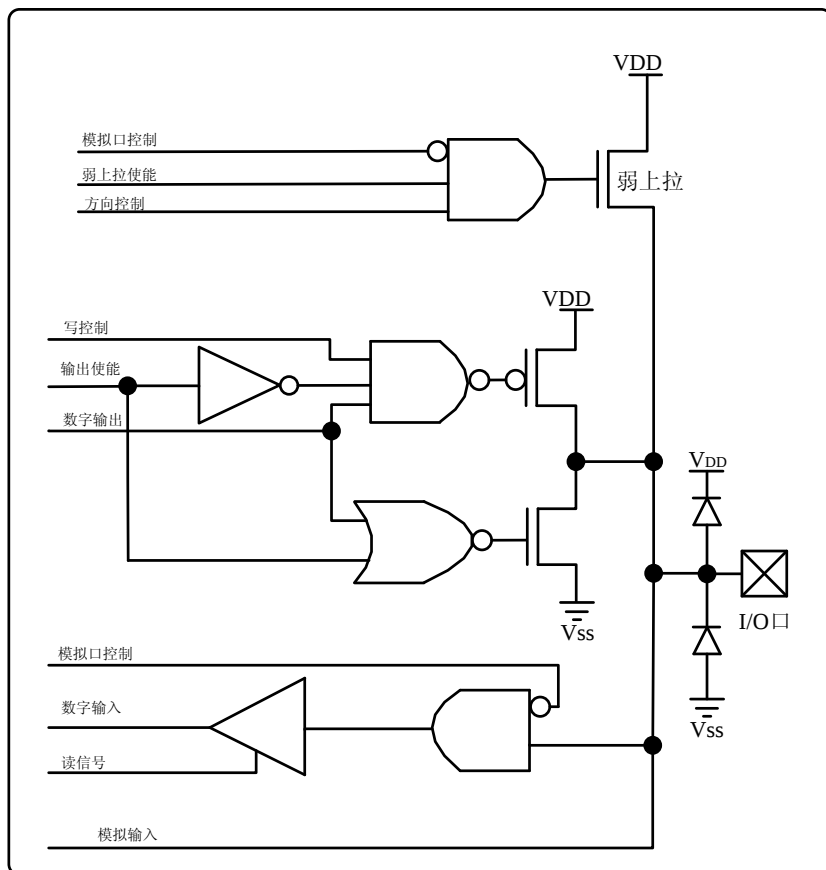


图 2.6 P2 口引脚原理功能框图

3 存储器

如图 3.1 所示，KF8V220 中存储器主要由程序存储器(ROM)和数据存储器(RAM)组成，程序存储器和数据存储器地址空间相互独立。

其中程序存储器为 2K×16 位的 FLASH 存储器；数据存储器由特殊功能寄存器和通用寄存器组成，特殊功能寄存器空间为 112×8 位，通用数据寄存器空间为 272(256+16)×8 位。另外 KF8V220 中还有一些其它存储器，包括:工作寄存器组 R0~R7、8 级硬件堆栈、ID 地址单元等。

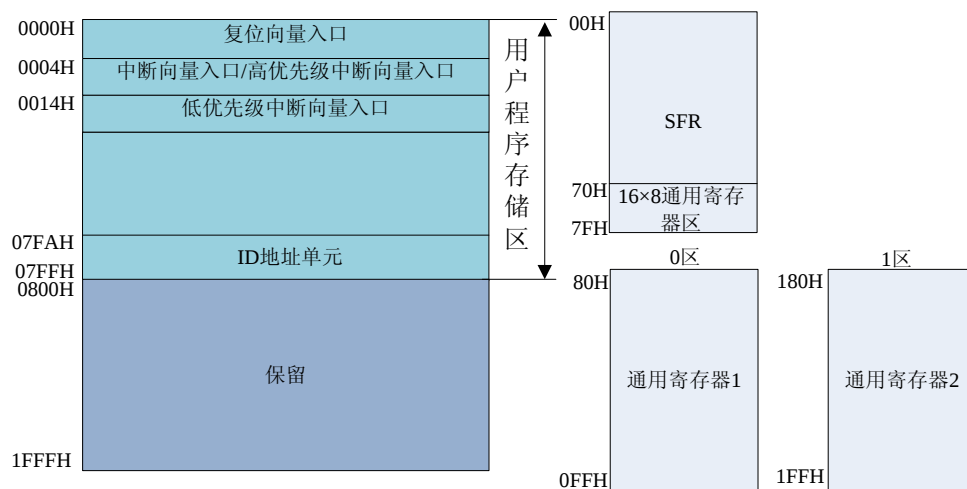


图 3.1 存储器组织图

3.1 程序存储器(ROM)区

KF8V220 实现了 1K×16 位的程序空间，地址为 0000H~07FFH，复位向量入口地址为 0000H，中断向量有两个入口地址，分为两级优先级，高优先级地址为 0004H，低优先级地址为 0014H。

如图 3.2 所示，程序计数器(PC)的低 8 位(PC<7:0>)来自特殊功能寄存器 PCL,高 5 位(PC<12:8>)来自 PCH 寄存器。在任何复位发生后 PC 值将被清 0。在有任何未屏蔽中断发生后 PC 值将指向 0004H 或 0014H 地址。图 3.3 为程序存储器区的地址映射图。

在用户的程序中，每当执行一条汇编指令 PC 值会自动加 1，指向下一条要执行的指令。当有子程序调用或响应中断时，CPU 会将 PC+1 后的值压入堆栈进行保存，然后将子程序或中断入口地址送到 PC 中，CPU 根据 PC 的值跳转到对应的地址执行命令。

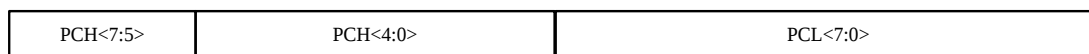


图 3.2 程序计数器 (PC)

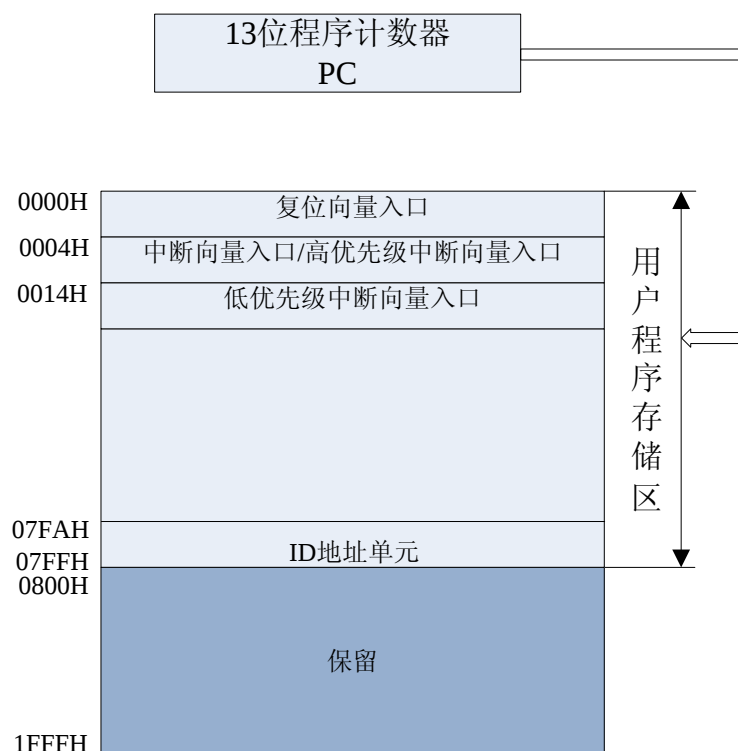


图 3.3 KF8V220 程序存储器映射

3.2 数据存储器(RAM)区

如图 3.4 所示, KF8V220 中的数据存储器由 3 个区组成, 每个区的空间都是 128 字节, 其中一个区用作特殊功能寄存器区(SFR)使用; 另外 2 个存储器区为通用寄存器区, 由用户支配。SFR 地址空间为 00H~6FH; 通用寄存器区地址为 70H~7FH(16 个字节的 SRAM 共用区)、80H~0FFH 和 180H~1FFH, 在这里将两个通用寄存器区称作 0 区和 1 区。

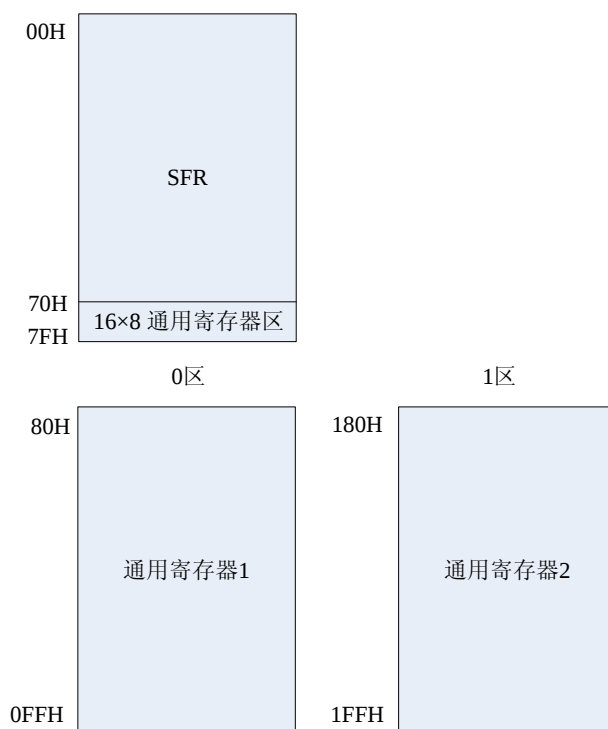


图 3.4 数据存储器地址映射图

3.2.1 特殊功能寄存器(SFR)区

KF8V220 内部的 I/O 口控制、定时/计数器、中断等各种控制寄存器和状态寄存器都称为特殊功能寄存器。附录 1 列出 SFR 的地址映射及复位初始值等。

状态字寄存器(PSW): 如寄存器 3.1 所示, PSW 的低三位是算术运算标志位, 在进行加、减等运算时对它们产生影响(具体请参考汇编指令部分)。TO 和 PD 是复位状态位, 当单片机有复位或看门狗超时、执行休眠等指令时, 会对这两位产生影响。

寄存器3.1: PSW: 状态字寄存器(地址: 03H)

复位值 0001 1xxx	bit7				bit0			
	保留	保留	RP0	TO	PD	Z	DC	CY
	R/W	R/W	R/W	R	R	R/W	R/W	R/W

RP0: 通用存储器区选择位
1 = 选择存储器区 1

	0 = 选择存储器区 0
$\overline{TO}$:	超时标志位 1 = 在上电复位、CWDT指令或IDLE指令执行之后 0 = WDT超时被清0
$\overline{PD}$:	上电复位标志位 1 = 上电复位或执行CWDT指令后 0 = 执行IDLE指令后被清0
Z:	零状态标志位 1 = 算术运算或者逻辑运算的运行结果为0 0 = 算术运算或者逻辑运算的运行结果不为0
DC:	辅助进/借位标志位 1 = 执行结果的低4位向高4位有进位(加指令)或没有借位(减指令) 0 = 执行结果的低4位向高4位没有进位(加指令)或有借位(减指令)
CY:	进位/借位标志位 1 = 执行结果(8位)向高位有进位时(加指令)或没有借位(减指令) 0 = 执行结果(8位)向高位无进位时(加指令)或有借位(减指令)

图注：R=可读 W=可写 -=未用 U=未实现位

注：保留位只能写0，不能写1。

注：对于借位的情况，当指令执行后，低四位(或高四位)向高位有借位时，DC(或CY)标志为0，当没有借位时其值为1。关于对标志位是否产生影响的指令请参考“汇编指令集”部分。

3.3 寄存器组Rn

KF8V220 芯片中有一个工作寄存器组 R0~R7，可用做间接寻址的中间寄存器，存放操作数的地址；隐含目的操作数的指令中，默认 R0 作为目的操作数(如: RRCR 0X81)；在读晶振校准值和参考电压校准值时，默认将读到的值送到 R0 中。

3.4 ID地址单元

KF8V220 的程序存储器空间的最后 6 个地址单元被指定为 ID 地址单元，地址为 7FAH~7FFH。正常运行时不能对这些地址单元进行访问，但在编程/校验时这些地址单元是可读写的。

4 汇编指令及寻址方式

4.1 寻址方式

KF8V220 系列单片机提供 5 种寻址方式，分别为：寄存器寻址、直接寻址、立即数寻址、寄存器间接寻址和位寻址。

4.1.1 寄存器寻址

采用这种寻址方式的指令中的操作数为寄存器组 R0-R7 的一个。

例:

CLR R0 ; R0←0 将寄存器 R0 清 0

只有一个操作数(R0 的值)，寻址方式为寄存器寻址。

ADD R0, R1

两个操作数 (R0 和 R1)，寻址方式为寄存器寻址。

4.1.2 直接寻址

在指令中的操作数为某个寄存器的直接地址，该地址指出其参与运算的数据所在的地址。直接寻址可以是：特殊功能寄存器、通用数据存储器。

例:

MOV R0,0X81 ; R0←(81H) 将 81H 单元的数据送到 R0 中
指令中，源操作数寻址方式为直接寻址，目的操作数为寄存器寻址。

INC 0X3B ; 3BH←(3BH)+1 将地址 3BH 里的值加 1。
指令中含有一个操作数，寻址方式为直接寻址。

4.1.3 立即数寻址

在指令中的操作数为立即数。

例:

MOV R0,#0X20 ; R0←0X20 将立即数 0X20 送到寄存器 R0 中
ADD R0,#0X20 ; R0←(R0)+0X20 寄存器 R0 的值与 0X20 相加结果送到 R0
AND R0,#0X20 ; R0←(R0)&0X20 寄存器 R0 的值与 0X20 相与结果送到 R0
以上三条指令中源操作数都是#0X20，为立即数寻址，目的操作数为寄存器寻址。

4.1.4 寄存器间接寻址

这种寻址方式中，寄存器的内容指定操作数的地址，即寄存器中存放的是操作数的地址。间接寻址只有两条指令 LD 和 ST。

例：

LD R0, [R1] ; R0←((R1)) 将 R1 的内容所指地址单元的数据送到 R0
指令中源操作数的寻址方式为寄存器间接寻址，目的操作数为寄存器寻址。

ST [R0], R1 ; (R0)←(R1) 将 R1 的内容送到 R0 的内容所指向的地址单元
指令中目的操作数的寻址方式为寄存器间接寻址，源操作数为寄存器寻址。

4.1.5 位寻址

指令中的操作数是寄存器的某位，这样的寻址方式称为位寻址。

例：

CLR INTCTL,1 ; 将 INTCTL 的第 1 位清 0
CLR 0X80,1 ; 将 80H 的第 1 位清 0
JNB 0X80,1 ; 如果 80H 的第 1 位为 0 则跳过下一条指令执行后面的程序

4.2 汇编指令

KF8V220 系列单片机汇编指令共有 69 条，除子程序调用、子程序返回、中断返回、部分跳转指令为双周期指令外，其余指令均为单周期指令。所有指令都占两个字节。

按照指令的功能可将其分为：数据传送指令、算术运算指令、逻辑运算指令、位操作指令和转移指令和特殊指令。具体指令集请参考附录 2。

5 中断

KF8V220 单片机的中断源有：

- INT0/1/2 中断
- T0/1 溢出中断
- P0 口引脚电平变化中断
- A/D 中断
- PWM1/2 中断
- CMP 中断

在本单片机中有 2 个中断优先级，10 个中断源，其中高优先级向量位于 0X0004H，低优先级向量位于 0X0014H。在中断服务程序里可通过 PCTL 寄存器（见章节 5.1.6）的 IPEN 位进行中断优先级设置。在中断服务子程序中通过检测相应的中断标志位来确定具体是哪个中断源触发发生。

KF8V220 中的 INT1、INT2、T1、CMP、ADC 和 PWM1/2 都属于外设，因此对应的中断称作外设中断，其它中断源产生的中断属于内设中断。中断逻辑如图 5.2 所示。在中断逻辑框图中，每个中断源有 3 个位用于控制其操作。这些位的功能分别是：

- 标志位表明发生了中断事件；
- 中断允许位允许程序跳转到中断向量地址处执行；
- 中断优先级位用于选择高优先级还是低优先级；

通过将 IPEN 位（PCTL<3>）置 1，可启用中断优先级功能。当 IPEN 置 1 时，有两个中断允许位，分别是 AIEH 和 AIEL（INTCTL 寄存器相关见章节 5.1.1）。

将 AIEH（INTCTL<7>）置 1，可允许所有中断优先级位已置 1 的中断，即高优先级的中断。将 AIEL（INTCTL<6>）置 1，可允许所有中断优先级位已清 0 的中断，即低优先级的中断。当中断标志位、中断允许位和中断优先级位都被置 1 时，中断将根据设置的中断优先级立即跳转到地址 0x0004H 或者 0x0014H。进低优先级中断时清 0 AIEL，退出低优先级中断时置 1 AIEL；进高优先级中断时清 AIEH，退出高优先级中断时置 1 AIEH。（AIEH=0 时禁止所有中断）。如果两级中断同时发生，高优先级中断事件可以中断正在处理的低优先级中断事件，等高优先级中断事件结束后再处理低优先级的中断事件。中断优先级工作原理如图 5.1 所示：

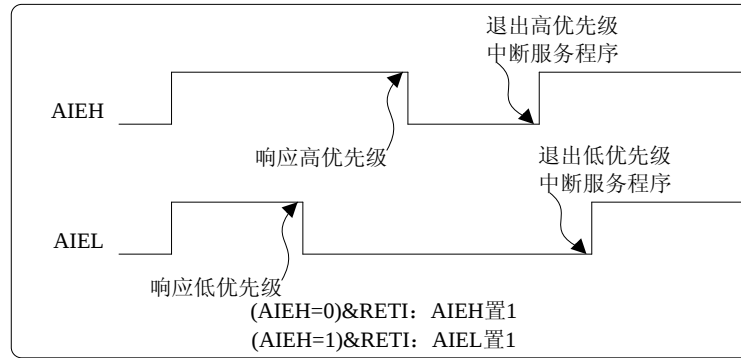


图 5.1 中断优先级工作原理图

当 IPEN 位清 0 时，就会禁止中断优先级，即为普通模式。所有中断都跳转到 0x0004H 开始执行。在普通模式下，没有中断优先级，各个中断源的中断优先级控制寄存器 IP0 和 IP1 均无效。AIE(INTCTL<7>)为全局中断使能位，PUIE(INTCTL<6>)为外设中断使能位。

中断逻辑框图如图 5.2 所示：

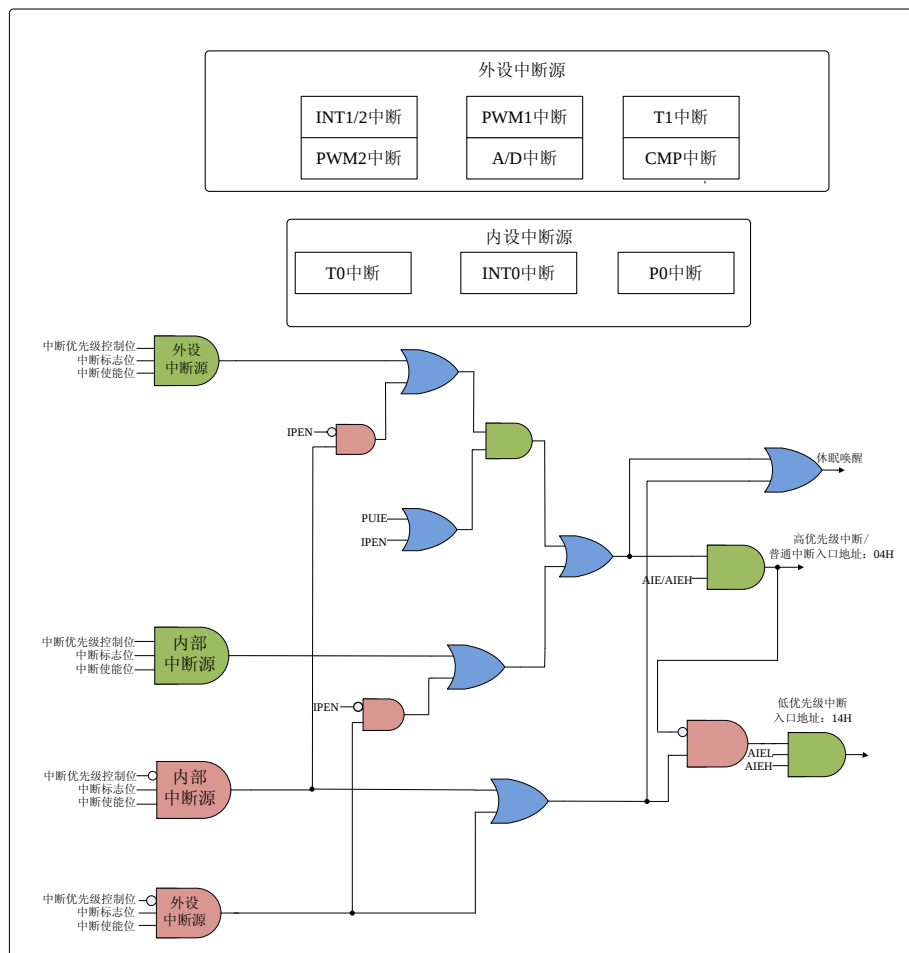


图 5.2 中断逻辑框图

5.1 中断相关的寄存器

表 5-1 与中断相关的寄存器

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0BH	INTCTL	AIE/AIEH	PUIE/AIEL	T0IE	INT0IE	P0IE	T0IF	INT0IF	P0IF
2CH	EIE1	-	ADIE	INT2IE	INT1IE	C1IE	PWM2IE	-	T1IE
0CH	EIF1	-	ADIF	INT2IF	INT1IF	C1IF	PWM2IF	-	T1IF
22H	IP0	-	-	-	-	-	PT0	PINT0	PP0
23H	IP1	-	PADC	PINT2	PINT1	PC1	PPWM2	-	PT1
2EH	PCTL	-	-	-	SLVREN	IPEN	SWDTEN	$\overline{\text{POR}}$	$\overline{\text{LVR}}$
15H	PWMCTL	INT2SE	INT1SE	-	-	-	-	PWM2ON	PWM1ON

5.1.1 中断控制寄存器(INTCTL)

如寄存器 5.1 所示，它包含：

- T0 寄存器溢出中断使能控制和标志位
- P0 口电平变化中断使能控制和标志位
- INT0 中断使能控制和标志位
- 外设中断和总中断使能位

普通模式下，AIE 为全局中断使能位，当其被清 0 时，禁止所有中断。PUIE 为外设中断使能位，当其被清 0 时禁止所有外设中断。具体的中断逻辑如图 5.2 所示。

在优先级中断中，AIEH 为全局优先级中断使能位，当其被清 0 时，禁止所有中断。AIEL 为低优先级中断使能位，当其被清 0 时禁止所有低优先级中断。具体的中断逻辑如图 5.2 所示。

注：1.当中断条件满足时，无论相应的中断使能位或者全局中断使能位AIE的状态如何，中断标志位将被硬件置1。
2.中断条件满足时，中断标志位通过硬件置1,而清零则需要软件完成。

寄存器5.1: INTCTL: 中断控制寄存器(地址: 0BH)

	bit7							bit0	
复位值 0000 0000	AIE/AIEH	PUIE/AIEL	T0IE	INT0IE	P0IE	T0IF	INT0IF	P0IF	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

AIE/AIEH: 全局中断使能位/优先级中断使能位

当 IPEN=0

1 = 使能所有未屏蔽的中断

	0 = 禁止所有中断
	当 IPEN=1
	1 = 允许所有高优先级的中断
	0 = 禁止所有中断
PUIE/AIEL:	外设中断使能位/低优先级中断使能位
	当 IPEN=0
	1 = 使能所有未屏蔽的外设中断
	0 = 禁止所有外设中断
	当 IPEN=1
	1 = 允许所有低优先级的中断
	0 = 禁止所有低优先级的中断
TOIE:	T0 溢出中断使能位
	1 = 使能 T0 中断
	0 = 禁止 T0 中断
INTOIE:	INT0 中断使能位
	1 = 使能 INT0 中断
	0 = 禁止 INT0 中断
POIE:	P0 口电平变化中断使能位
	1 = 使能 P0 口电平变化中断
	0 = 禁止 P0 口电平变化中断
TOIF:	T0 溢出中断标志位
	1 = T0 寄存器溢出
	0 = T0 寄存器未溢出
INTOIF:	INT0 中断标志位
	1 = INT0/P0.2 产生外部中断
	0 = INT0/P0.2 未产生外部中断
POIF:	P0 口电平变化中断标志位
	1 = 引脚 P0.0~P0.5 至少有一个电平状态发生变化
	0 = 引脚 P0.0~P0.5 电平状态未发生变化

图注：R=可读 W=可写 -=未用 U=未实现位

5.1.2 中断使能寄存器EIE1

如寄存器 5.2 所示，EIE1 是一个可读写的寄存器，它包含：

- ADC 中断使能位
- INT1/2 中断使能位
- CMP1 中断使能位
- PWM2 中断使能位
- T1 中断使能位

寄存器5.2: EIE1: 中断使能寄存器(地址: 2CH)

复位值 0000 0000	bit7						bit0	
	-	ADIE	INT2IE	INT1IE	C1IE	PWM2IE	-	T1IE
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ADIE: AD 中断使能位
1 = 使能 AD 中断
0 = 禁止 AD 中断

INT2IE: INT2 中断使能位
1 = 使能 INT2 中断
0 = 禁止 INT2 中断

INT1IE: INT1 中断使能位
1 = 使能 INT1 中断
0 = 禁止 INT1 中断

C1IE: CMP1 中断使能位
1 = 使能 CMP1 中断
0 = 禁止 CMP1 中断

PWM2IE: PWM2 中断使能位
1 = 使能 PWM2 中断
0 = 禁止 PWM2 中断

T1IE: T1 中断使能位
1 = 使能 T1 中断
0 = 禁止 T1 中断

图注: R=可读 W=可写 -=未用 U=未实现位

5.1.3 中断标志寄存器EIF1

如寄存器 5.3 所示, 中断标志寄存器包含:

- AD 中断标志位
- INT1/2 中断标志位
- CMP1 中断标志位
- PWM2 中断标志位
- T1 中断标志位

寄存器5.3: EIF1: 外设中断标志寄存器(地址: 0CH)

复位值 0000 0000	bit7						bit0	
	-	ADIF	INT2IF	INT1IF	C1IF	PWM2IF	-	T1IF
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ADIF: AD 完成中断标志位
1 = AD 转换完成
0 = AD 转换没有完成

INT2IF: INT2 中断标志位
1 = INT2 引脚产生外部中断

	0 = INT2 引脚未产生外部中断
INT1IF:	INT1 中断标志位
	1 = INT1 引脚产生外部中断
	0 = INT1 引脚未产生外部中断
C1IF:	模拟比较器 1 中断标志位
	1 = CMP1 输出发生改变(必须软件清 0)
	0 = CMP1 输出未发生改变
PWM2IF:	PWM2 中断标志位
	1 = PWM2 使能时, T1H 和 PP2 匹配
	0 = PWM2 使能时, T1H 和 PP2 不匹配
T1IF:	T1 寄存器溢出标志位
	当 PWM1 或 PWM2 都未使能时
	1 = T1 寄存器溢出
	0 = T1 寄存器未溢出
	当 PWM1 或 PWM2 使能时
	1 = T1L 和 PP1 匹配
	0 = T1L 和 PP1 不匹配

图注: R=可读 W=可写 -=未用 U=未实现位

5.1.4 中断优先级控制寄存器IP0

当 IPEN=1 时, 中断优先级控制寄存器 IP0 才有效。如寄存器 5.6 所示, 中断优先级控制寄存器 IP0 包含:

- T0 中断高优先级 PT0
- INT0 中断高优先级 PINT0
- P0 口电平变化中断高优先级 PP0

寄存器5.4: IP0: 中断优先级控制寄存器0(地址: 22H)

复位值 ---- -000	bit7							bit0
	-	-	-	-	-	PT0	PINT0	PP0
	U	U	U	U	U	R/W	R/W	R/W

PT0:	T0 中断优先级控制位
	1 = T0 中断为高优先级
	0 = T0 中断为低优先级
PINT0:	INT0 中断优先级控制位
	1 = INT0 中断为高优先级
	0 = INT0 中断为低优先级
PP0:	P0 电平变化中断优先级控制位
	1 = P0 电平变化中断为高优先级
	0 = P0 电平变化中断为低优先级

图注: R=可读 W=可写 -=未用 U=未实现位

5.1.5 中断优先级控制寄存器IP1

当 IPEN=1 时，中断优先级控制寄存器 IP1 才有效。如寄存器 5.7 所示，中断优先级控制寄存器 IP1 包含：

- AD 中断高优先级 PADC
- INT1/2 中断高优先级 PINT1/2
- CMP1 中断高优先级 PC1
- PWM2 中断高优先级 PPWM2
- T1 中断高优先级 PT1

寄存器5.5: IP1: 中断优先级控制寄存器1(地址: 23H)

复位值 0000 0000	bit7						bit0	
	-	PADC	PINT2	PINT1	PC1	PPWM2	-	PT1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PADC: AD 中断高优先级控制位

1 = AD 中断为高优先级

0 = AD 中断为低优先级

PINT2: INT2 中断高优先级控制位

1 = INT2 中断为高优先级

0 = INT2 中断为低优先级

PINT1: INT1 中断高优先级控制位

1 = INT1 中断为高优先级

0 = INT1 中断为低优先级

PC1: 模拟比较器 1 中断高优先级控制位

1 = CMP1 中断为高优先级

0 = CMP1 中断为低优先级

PPWM2: PWM2 中断高优先级控制位

1 = PWM2 中断为高优先级

0 = PWM2 中断为低优先级

PT1: T1 中断高优先级控制位

1 = T1 中断为高优先级

0 = T1 中断为低优先级

图注：R=可读 W=可写 -=未用 U=未实现位

5.1.6 电源控制寄存器PCTL

寄存器5.6: PCTL: 电源控制寄存器(地址:2EH)

复位值 ---1 000x	bit7						bit0	
	-	-	-	SLVREN	IPEN	SWDTEN	POR	LVR
	U	U	U	R/W	R/W	R/W	R/W	R/W

SLVREN: 软件欠压检测使能位

- 1 = 使能欠压检测
0 = 禁止欠压检测
- IPEN: 中断优先级控制位
1 = 使能中断优先级功能, 即为优先级模式
0 = 禁止中断优先级功能, 即为普通模式
- SWDTEN: 软件看门狗定时器使能位
当配置字的 WDTEN=0 时
1 = 软件使能看门狗定时器
0 = 软件禁止看门狗定时器
当配置字的 WDTEN=1 时
为无关位
- $\overline{\text{POR}}$: 上电复位状态位
1 = 未发生上电复位
0 = 发生了上电复位
- $\overline{\text{LVR}}$: 欠压复位状态位
1 = 未发生欠压复位
0 = 已发生欠压复位

图注: R=可读 W=可写 -=未用 U=未实现位

5.1.7 中断响应

当 IPEN=1 时，为优先级模式，中断被响应后：

1. 返回地址压入堆栈；
2. 中断入口地址载入 PC；
3. 在中断被响应前，AIEH 和 AIEL 位的设置会影响到中断响应的过程：
 - 将 AIEH 和 AIEL 均置 1，可进入高优先级或低优先级中断。进入的是高或低优先级中断时，AIEH 或 AIEL 由硬件自动清 0，执行高或低优先级中断服务程序，执行指令 IRET 退出高或低优先级中断，硬件自动将 AIEH 或 AIEL 置 1；
 - 只将 AIEH 置 1，则直接进入高优先级中断，AIEH 由硬件自动清 0，继续执行中断服务子程序，执行指令 IRET 退出中断服务子程序并由硬件自动将 AIEH 置 1，重新使能未屏蔽的中断；
4. 跳转到中断发生处继续执行下面的程序。

注：中断的响应有一定的响应时间：

1. 如果已经进入了低优先级中断，再有高优先级中断，此时为中断嵌套；
2. 如果还没有进入低优先级中断，同时有高优先级中断产生，则直接进入高优先级中断，相当于两个中断同时产生。

当 IPEN=0 时，为普通模式，中断被响应后：

1. 返回地址压入堆栈；
2. 中断入口地址载入 PC；
3. AIE 位将被硬件清 0 以禁止其它中断；
4. 执行该中断服务子程序；
5. 执行指令 IRET 退出中断服务子程序，同时硬件自动将 AIE 置 1，重新使能未屏蔽的中断；
6. 跳转到中断发生处继续执行下面的程序。

进入中断服务程序后，首先保存 PSW 和其它寄存器的值，然后通过查询中断标志位确定中断源。在重新使能中断之前，应在软件中将相应的中断标志位清 0，以避免出错。

注 1: 中断条件满足时，无论相应的中断使能位或 AIE 位的状态为何，中断标志位都将被置 1。
2: 当执行一条清除 AIE 位的指令后，任何在下一周期等待响应的中断都将被忽略。当 AIE 位重新置 1 时，被忽略的中断请求将继续等待被响应。
3: 当对中断进行响应，进入中断服务子程序的时候硬件会将 AIE 位清零关闭总中断，当中断程序执行完，中断返回指令跳出中断子程序时，硬件将 AIE 位置 1 打开总中断。

5.2 INT 中断

INT 中断有三个中断源：INT0、INT1 和 INT2，都采用边沿触发方式，如果触发边沿选择位(INTxSE)置 1，则采用上升沿触发；如果触发边沿选择位清 0，则采用下降沿触发。

5.2.1 INT0 中断

INT0 中断通过寄存器 INTCTL 中的 INT0IE 位置 1 使能 INT0 中断。通过 OPTR(见章节 6.1.3)中的 INT0SE 位设置触发边沿，INT0SE 置 1,将 INT0 设置为上升沿触发，清零设置为下降沿触发。INTCTL 中的 INT0IF 为 INT0 的中断标志位。如果 IPEN 和 PINT0 位均置 1，则 INT0 为高优先级中断。

INT0 引脚有触发脉冲时，INT0IF 被自动置 1，如果 INT0IE 和 AIE 位为 1，则响应 INT0 中断（普通模式）。

5.2.2 INT1 中断

INT1 中断通过寄存器 EIE1 中的 INT1IE 位置 1 使能 INT1 中断。通过 PWMCTL 中的 INT1SE 位(相关寄存器见章节 8.3.1)设置触发边沿，INT1SE 置 1，将 INT1 设置为上升沿触发，清零设置为下降沿触发。EIF1 中的 INT1IF 为 INT1 的中断标志位。如果 IPEN 和 PINT1 位均置 1，则 INT1 为高优先级中断。

INT1 引脚有触发脉冲时，INT1IF 被自动置 1，如果 INT1IE、PUIE 和 AIE 位为 1，则响应 INT1 中断（普通模式）。

5.2.3 INT2 中断

INT2 中断通过寄存器 EIE1 中的 INT2IE 位置 1 使能 INT2 中断。通过 PWMCTL 中的 INT2SE 位(相关寄存器见章节 8.3.1)设置触发边沿，INT2SE 置 1，将 INT2 设置为上升沿触发，清零设置为下降沿触发。EIF1 中的 INT2IF 为 INT2 的中断标志位。如果 IPEN 和 PINT2 位均置 1，则 INT2 为高优先级中断。

INT2 引脚有触发脉冲时，INT2IF 被自动置 1，如果 INT2IE、PUIE 和 AIE 位为 1，则响应 INT2 中断（普通模式）。

使用 INT 中断时的设置：

1. 将对应的 INTx 引脚设置为数字输入口。
2. 选择触发脉冲边沿是上升沿还是下降沿(INT0/1SE 置 1 为上升沿触发)；
3. 将相应的外部中断使能位置 1(INTxIE)，如果为高优先级，则 IPEN 和 PINTx 均置 1。

5.3 定时器中断

T0 寄存器发生溢出时，T0IF 位将会被置 1。通过将 T0IE 位置 1/清 0 可使能/禁止该中断。当 IPEN 和 PT0 置 1 时，定时器 T0 中断配置为高优先级中断。

T1 寄存器发生溢出时，T1IF 位将会被置 1。通过将 T1IE 位置 1/清 0 可使能/禁止该中断。当 IPEN 和 PT1 置 1 时，定时器 T1 中断配置为高优先级中断。

有关定时器的中断，请参考第六章定时器。

5.4 P0 口中断

P0 口引脚的输入电平变化将使 P0IF(INTCTL.0)位置 1。通过设置/清除 P0IE(INTCTL.3) 位，可使能/禁止该中断。且该端口各引脚可通过 IOCL 寄存器来对每个引脚进行配置。有关 P0 口中断的操作，请参考 P0 口电平变化中断控制寄存器的部分。当 IPEN 和 PP0 均置 1 时，P0 口中断配置为高优先级中断。

5.5 PWM中断

使能 PWM1/2 后，T1L 分配给 PWM1 进行计数，T1H 分配给 PWM2 进行计数，当 T1L/H 与 PP1/2 匹配时，会触发相应的中断标志位 T1IF 和 PWM2IF。如果使能 T1IE 或者 PWM2IE，则会触发中断（AIE、PUIE 置 1）。当 IPEN 和 PPWM1/2 均置 1 时，PWM 中断配置为高优先级中断。

详见 PWM 部分。

5.6 中断现场保护

在中断响应时，硬件会把当前 PC 值加 1 入栈保存，中断结束后，硬件在将本次中断入栈时的值弹出载入 PC，继续执行后面的程序。通常，用户可能希望在中断时对一些关键寄存器的内容进行保存(例如，Rn 和 PSW)，这些都需通过软件方式实现。

6 定时器/计数器

KF8V220 单片机提供一个 8 位的定时/计数器 T0 和 1 个 16 位的定时/计数器 T1。

6.1 定时器/计数器 0(T0)

T0 是一个 8 位的定时/计数器，当 T0 寄存器值加到 255 时，再加 1，则会产生溢出，T0 寄存器的值返回到 0 开始重新计数。

6.1.1 T0 原理框图

图 6.1 为 T0 的结构框图。T0 模块使用一个 8 位计数器作为预分频器，如寄存器 6.1 所示，通过软件设定 PSA 位(OPTR.3)的状态可对预分频器的分配进行控制，PSA 位清 0 可将预分频器分配给 T0 模块。通过设置 PS<2:0>位可选择预分频器的分频比。预分频器是不可读写的。当预分频器用于 T0 模块时，所有写入 T0 寄存器的指令都会将预分频器清 0。当预分频器用于 WDT 时，CWDT 指令会同时将预分频器和看门狗定时器清 0。

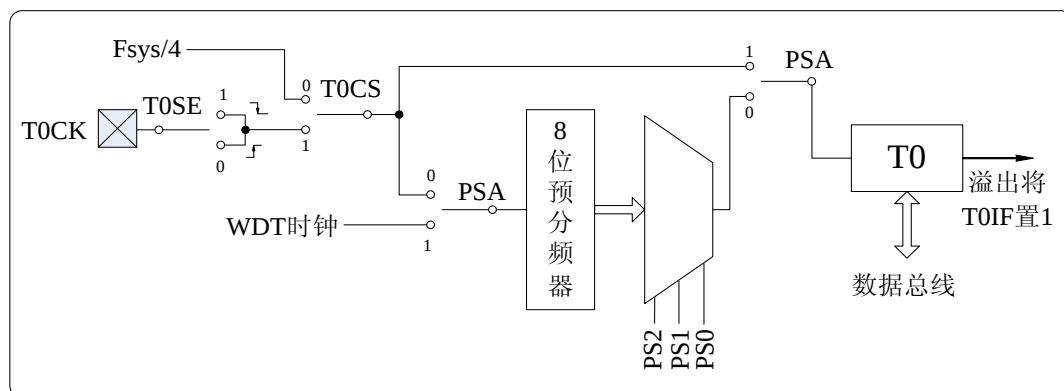


图 6.1 原理框图

6.1.2 T0 相关的寄存器

表 6-1 与 T0 相关的寄存器

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
01H	T0	8 位计数器							
21H	OPTR	PUPH	INT0SE	T0CS	T0SE	PSA	PS2	PS1	PS0

6.1.3 OPTR选择寄存器

如寄存器 6.1 所示，T0CS 为定时/计数模式选择位，T0SE 为计数模式时外部触发脉冲边沿选择位，PSA 用来将预分频器分配给 WDT 或者 T0,PS<2:0>对分频比分配。

寄存器6.1: OPTR: 选择寄存器(地址: 21H)

复位值	bit7						bit0	
1111 1111	PUPH	INT0SE	T0CS	T0SE	PSA	PS2	PS1	PS0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PUPH	P0 口上拉功能总使能位							
	1 = 禁止 P0 口所有上拉功能							
	0 = 允许 P0 口使用上拉功能							
INT0SE	INT0 中断触发脉冲边沿选择位							
	1 = INT0/P0.3 为上升沿触发							
	0 = INT0/P0.3 为下降沿触发							
T0CS:	T0 模式选择位							
	1 = 计数模式，T0 的时钟为外部时钟 T0CK/P0.2							
	0 = 定时模式，T0 的时钟为机器时钟 Fsys/4							
T0SE:	T0 计数脉冲信号边沿选择位							
	1 = 下降沿触发							
	0 = 上升沿触发							
PSA:	预分频器分配控制位							
	1 = 预分频器用于 WDT							
	0 = 预分频器用于 T0							
PS<2:0>:	预分频器分频比选择位							
	PS<2:0>	WDT 分频比			T0 分频比			
	000	1 : 1			1 : 2			
	001	1 : 2			1 : 4			
	010	1 : 4			1 : 8			
	011	1 : 8			1 : 16			
	100	1 : 16			1 : 32			
	101	1 : 32			1 : 64			
	110	1 : 64			1 : 128			
	111	1 : 128			1 : 256			

图注：R=可读 W=可写 -=未用 U=未实现位

6.1.4 定时模式

通过将 T0CS 位(OPTR.5)清 0 可选择定时器模式。在定时模式中, 如果不使用预分频器, 每一个机器周期 T0 寄存器的值加 1。如果 T0 寄存器被写入初始值, 则在接下来的两个机器周期将不执行递增操作, 用户可通过将校正值写入 T0 寄存器进行修正。

6.1.5 计数模式

通过将 T0CS 位(OPTR.5)置 1 可选择计数模式。在该模式下, T0 模块在 T0CK 引脚信号的每一次上升沿(T0SE 位清 0)或下降沿(T0SE 位置 1)递增计数。

当不使用预分频器时, 要求 T0CK 的高电平状态和低电平状态分别保持至少 $2T_{sys}+20ns$ 的时间, 以实现 T0CK 与内部相位时钟的同步。

6.1.6 T0 的使用

T0 在使用时通过以下步骤进行设置:

1. 通过将 T0CS 位清 0/置 1 选择定时/计数模式(如果是计数模式, 再设置 T0SE 选择脉冲触发边沿, 将对应的计数脉冲输入脚 T0CK 设置为输入);
2. 如果需要分频, 则将预分频器分配给 T0, 并设置分频比;
3. 给 T0 寄存器设置初始值;
4. 如果使用中断方式则将 T0IE 和 AIE 位置 1。

6.2 定时器/计数器T1

T1 是一个 16 位的定时器/计数器, T1 的低 8 位在寄存器 T1L 中 高 8 位在寄存器 T1H 中, 当 T1 计数值达到 65535 后, T1 的值再加 1 就会产生溢出, 将 T1 中断标志位置 1。T1 属于外部单元, 因此在使用 T1 中断时, 需将 PUIE 位置 1, 使能外设中断。如图 6.2 所示为 T1 的原理框图。

6.2.1 T1 原理框图

T1 的原理框图如图 6.2 所示, T1 是一个带有门控和预分频的 16 位定时器/计数器, 计数时钟可选择外部时钟或者内部时钟 $F_{sys}/4$, 当 T1 与内部时钟一起使用时, T1 用作定时器, 当 T1 与外部时钟一起使用时, T1 工作在计数器模式, 通过对 $\overline{T1SY}$ 位(T1CTL<2>)设置可使 T1 工作在异步计数器模式。

该 T1 模块还带有四个预分频器选择项, 允许对时钟输入进行 1、2、4 或 8 倍分频。T1CKS 位(T1CTL<5:4>)对预分频计数器进行控制, T1 预分频计数器不能直接进行读写操作, 可通过写入 T1H 或 T1L 使预分频计数器清 0。

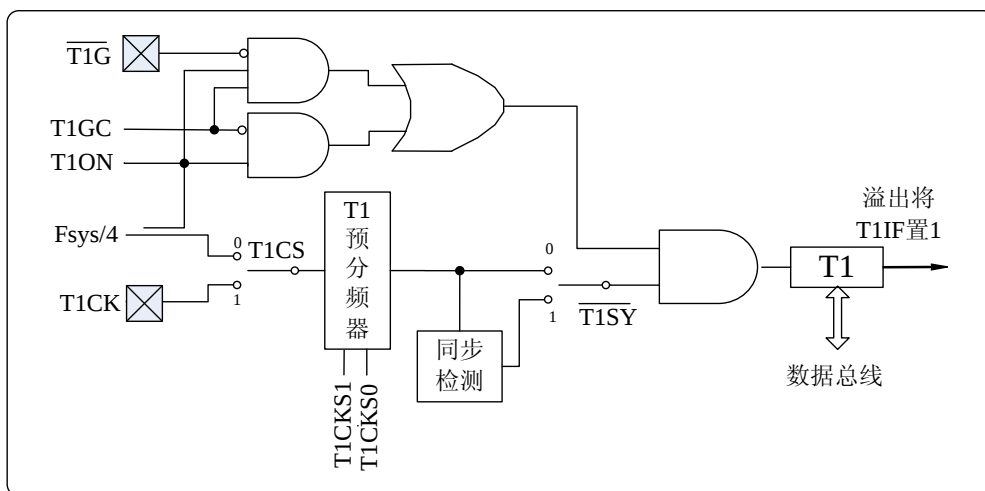


图 6.2 T1 原理框图

6.2.2 T1 相关的寄存器

表 6-2 与 T1 相关的寄存器

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0EH	T1L	T1 低 8 位							
0FH	T1H	T1 高 8 位							
10H	T1CTL	-	T1GC	T1CKS1	T1CKS0	-	$\overline{T1SY}$	T1CS	T1ON

6.2.2.1 T1 控制寄存器

如寄存器 6.2 所示，T1 控制寄存器（T1CTL）用于启动/禁止 T1 以及选择 T1 模块的不同功能特性。

寄存器6.2: T1CTL: T1控制寄存器(地址: 10H)

复位值 -000 -000	bit7					bit0	
	-	T1GC	T1CKS1	T1CKS0	-	$\overline{T1SY}$	T1ON
	U	R/W	R/W	R/W	U	R/W	R/W

T1GC: T1 门控使能位

如果 T1ON=0 则该位被忽略

如果 T1ON=1 则:

1 = 使能 $\overline{T1G}$ 引脚控制(如果 $\overline{T1G}$ 引脚为低电平，启动 T1，为高电平，关闭 T1)

0 = 禁止 $\overline{T1G}$ 引脚控制

T1CKS<1:0>: T1 输入时钟预分频比选择位

11 = 1/8 倍预分频比

10 = 1/4 倍预分频比

01 = 1/2 倍预分频比

00 = 1/1 倍预分频比

$\overline{T1SY}$: T1 计数模式外部触发脉冲输入同步控制位

T1CS=1:

1 = 外部触发脉冲输入不与系统时钟同步

0 = 外部触发脉冲输入与系统时钟同步

T1CS=0: 该位被忽略，T1 使用内部时钟

T1CS: T1 定时/计数模式选择

1 = 计数模式，T1 时钟为外部时钟 T1CK/P0.5

0 = 定时模式，T1 时钟为机器时钟 Fsys/4

T1ON: T1 启动控制位

1 = 启动 T1

0 = 停止 T1

图注: R=可读 W=可写 -=未用 U=未实现位

6.2.3 定时模式

通过将 T1CS 位清 0 将 T1 设定为定时模式，T1 工作在定时模式时，对单片机内部时钟进行计数，当不使用预分频器时，每个机器周期 T1 寄存器自加 1，加到 0FFFFH 后再加 1，T1 溢出，将 T1 中断标志位 T1IF 置 1。

如果使能 T1 门控引脚，且 T1ON=1，则在 $\overline{T1G}$ 引脚为低电平时，启动 T1，如果 $\overline{T1G}$ 引脚为高电平，禁止 T1。使用该方式可粗略的对 $\overline{T1G}$ 引脚的低电平持续时间进行计算。

6.2.4 计数模式

通过将 T1CS 位置 1 将 T1 设定为计数模式，在计数模式时，T1 在计数脉冲 T1CK 的上升沿进行递增计数。T1 的计数模式又有同步计数和异步计数两种方式，

如果控制位 $\overline{T1SY}$ (T1CTL.2)置 1，则 T1 工作在异步计数模式。计数器根据 T1CK 引脚的脉冲进行递增计数。在休眠模式下，计数器将继续递增并在溢出时产生中断以唤醒处理器。

如果控制位 $\overline{T1SY}$ (T1CTL.2)清 0，则 T1 工作在同步计数模式。在内部相位时钟的 Q2 和 Q4 周期对 T1CK 引脚电平进行采样，可以实现 T1CK 与内部相位时钟的同步。

6.2.5 T1 在休眠模式下的运行

只有设定在异步计数器模式时，T1 才能在休眠模式下工作。在该模式下，计数脉冲 T1CK 使计数器递增。通过如下步骤设定定时器以唤醒器件：

- 使能 T1(T1ON/T1CTL.0 置 1)
- 将 T1IE 位(EIE1.0)置 1
- 将 PUIE 位(INTCTL.6)置 1

器件将在溢出时被唤醒。如果 AIE 位(INTCTL.7)置 1，器件将被唤醒并跳转至中断服务程序。

6.2.6 T1 分配给 PWM1/2

当使用 PWM1/2 时需要用到 T1，单片机将 T1L，T1IE，T1IF 分配给 PWM1，T1H 分配给 PWM2，具体使用方法参见 PWM1/2 部分。

7 模数(A/D)转换模块

模数(A/D)转换模块可将模拟输入信号转换为 12 位二进制值。转换器通过逐次逼近法将模拟输入信号转换为二进制值，并将转换结果存放到 12 位寄存器中。可通过软件方式选择内部 1.7V 参考电压 VREOUT、VDD 或施加在 ADVRIN 引脚上的电压作为转换使用的参考电压。图 7.1 显示了 KF8V220 中 A/D 转换模块的结构框图，AD 的输入可选择 12 个通道中的 1 路或内部 1.7V 参考电压 VREOUT 作为 AD 的输入。

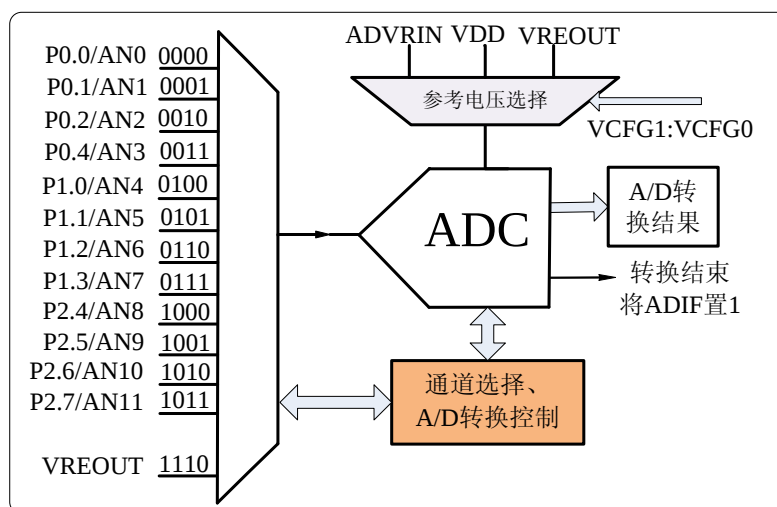


图 7.1 AD 模块结构框图

7.1 与AD相关的寄存器

表 7-1 与 AD 转换相关的寄存器

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
1FH	ADCCCTL 0	ADLR	-	CHS3	CHS2	CHS1	CHS0	START	ADEN
3FH	ADCCCTL 1	ADCCAL IEN	ADCS2	ADCS1	ADCS0	VCFG1	VCFG0	ADCIM1	ADCIM0
31H	ANSEL	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0
1DH	ANSEH	-	-	-	-	ANS11	ANS10	ANS9	ANS8
1EH	ADCDAT AH	AD 高 8 位							
3EH	ADCDAT AL	AD 低 8 位							
1CH	VRECAL 1	参考电压校准寄存器 1							
2AH	VRECAL 2	参考电压校准寄存器 2							

7.1.1 AD控制寄存器 0(ADCCTL0)

如寄存器 7.1 所示，AD 控制寄存器 0 包括：转换结果输出格式选择、模拟通道选择和 AD 启动。

寄存器7.1:ADCCTL0: A/D控制寄存器0(地址: 1FH)

复位值 0-00 0000	bit7						bit0	
	ADLR	-	CHS3	CHS2	CHS1	CHS0	START	ADEN
	R/W	U	R/W	R/W	R/W	R/W	R/W	R/W

ADLR: A/D 转换结果输出格式选择位

1 = 结果右对齐

0 = 结果左对齐

CHS<3:0>: 模拟通道选择位

0000 = 通道 00(AN0)

0001 = 通道 01(AN1)

0010 = 通道 02(AN2)

0011 = 通道 03(AN3)

0100 = 通道 04(AN4)

0101 = 通道 05(AN5)

0110 = 通道 06(AN6)

0111 = 通道 07(AN7)

1000 = 通道 08(AN8)

1001 = 通道 09(AN9)

1010 = 通道 10(AN10)

1011 = 通道 11(AN11)

1110 = 通道 14(VREOUT)

其他 = 系统保留

START: A/D 转换状态位

1 = A/D 转换正在进行,该位置 1 将启动 A/D 转换，在转换结束后该位将被硬件自动清 0。

0 = A/D 转换结束或者未进行

ADEN: A/D 工作使能位

1 = 使能 A/D 转换模块工作

0 = A/D 转换器关闭且不消耗工作电流

图注：R=可读 W=可写 -=未用 U=未实现位

注：（1） 如果内部使用参考电压VREOUT时（用作AD参考电压和比较器参考电压），不需要将寄存器VRECTL1的VREOE位置1。

7.1.2 AD控制寄存器 1(ADCCTL1)

如寄存器 7.2 所示，AD 控制寄存器 1 包含 AD 时钟选择和参考电压选择位。

寄存器7.2: ADCCTL1: A/D控制寄存器1(地址: 3FH)

复位值 0000 0000	bit7				bit0			
	ADCCALIEN	ADCS2	ADCS1	ADCS0	VCFG1	VCFG0	ADCIM1	ADCIM0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ADCCALIEN:AD 失调校准使能位

1 = AD 失调校准使能

0 = AD 失调校准禁止

ADCS<2:0>: A/D 转换时钟选择位

000 = $F_{ad}=F_{sys}/2$

001 = $F_{ad}=F_{sys}/8$

010 = $F_{ad}=F_{sys}/32$

x11 = 系统保留

100 = $F_{ad}=F_{sys}/4$

101 = $F_{ad}=F_{sys}/16$

110 = $F_{ad}=F_{sys}/64$

VCFG<1:0>: A/D 转换参考电压选择位

00 = ADC 参考电压悬空

01 = VDD 作为 ADC 参考电压

10 = ADVRIN 作为 ADC 参考电压

11 = VREOUT 作为 ADC 参考电压

ADCIM<1:0>:AD 工作电流选择位

00 = 系统保留

01 或 10 = AD 工作电流中等 (AD 工作频率小于 8M, 大于 2M)

11 = AD 工作电流最小(AD 工作频率小于 2M)

图注: R=可读 W=可写 -=未用 U=未实现位

AD的失调校准为自动校准，将ADCCALIEN置1，当ADEN置1后需要5us时间用于自动校准。

示例:

```
SET ADCCTL1, ADCIM1      ;AD工作频率小于2M
SET ADCCTL1, ADCIM0      ;选择ADCIM<1:0>=11
SET ADCCTL1, ADCCALIEN   ;ADC失调校准使能
SET ADCCTL0, ADEN        ;ADC使能
CALL DELAY_5US           ;延迟5us, 用于ADC的失调校准
SET ADCCTL0, START       ;启动AD转换
```

7.1.3 模拟/数字口选择寄存器(ANSEH/L)

如寄存器 7.3 和 7.4 所示，ANSEH/L 寄存器用于将 A/D 转换输入引脚设置为模拟口，通过将 ANSEH/L 某位置 1，将对应的引脚设置为模拟口，清 0 设置为数字 I/O 口。

寄存器7.3: ANSEH: 模拟/数字口设置寄存器(地址: 1DH)

复位值	bit7						bit0
---- 0000	-	-	-	-	ANS11	ANS10	ANS8
	U	U	U	U	R/W	R/W	R/W

寄存器7.4: ANSEL: 模拟/数字口设置寄存器(地址: 31H)

复位值	bit7						bit0
0000 0000	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ANS<11: 0> :引脚 AN11~AN0 分别配置为模拟或数字 I/O 口的控制位

1 = 将对应引脚配置为模拟口

0 = 将对应引脚配置为数字 I/O 口或者特殊功能引脚

图注: R=可读 W=可写 -=未用 U=未实现位

7.2 通道的选择

以 KF8V220 为例，如图 7.1 所示，KF8V220 中的 A/D 转换模块的输入可以选择 13 路，其中 12 路来自外部的模拟信号，剩下 1 路来自内部 1.7V 参考电压 VREOUT。通过寄存器 ADCCTL0(如寄存器 7.1 所示)进行通道的选择。

7.3 模拟输入口的配置

当选择 AN0~AN11 作为 A/D 转换的输入时，需要将对应的引脚配置为模拟输入口。通过将寄存器 ANSEL 和 ANSEH 的某位置 1 将对应的引脚配置为模拟口，然后把寄存器 TR0(或 TR1 或 TR2)的对应位置 1 把该引脚配置为输入口，此时该引脚被设置为模拟输入口。

注：如果某引脚被配置为模拟输入口，将会自动禁止有效地数字 I/O、上拉电阻和电平变化中断。

7.4 A/D 转换参考电压的选择

KF8V220 中 ADC 模块的参考电压可以选择 3 种分别为：电源电压(VDD)、外部参考电压(ADVRIN)和内部 1.7V 参考电压 VREOUT。通过寄存器 ADCCTL1(如寄存器 7.2 所示)的 VCFG<1:0>设置参考电压。

7.4.1 参考电压寄存器 1 (VRECTL1)

寄存器7.5:VRECTL1: 参考电压寄存器1(地址:2BH)

	bit7						bit0
复位值 --00 0000	-	-	-	保留	VREOE	保留	VREEN
	U	U	R/W	R/W	R/W	R/W	R/W

VREOE: 参考电压 VREOUT 输出使能位
1 = 通过 VREOUT 引脚输出参考电压
0 = 禁止参考电压输出

VREEN: 参考电压使能位
1 = 使能参考电压
0 = 关闭参考电压

图注: R=可读 W=可写 -=未用 U=未实现位

注: 保留位只能写 0, 不能写 1。

7.4.2 VREOUT参考电压

KF8V220 内部有一个参考电压模块, 使能该功能后, 通过引脚 P0.4/VREOUT 可输出稳定的 1.7V 参考电压 (VREOE=1)。如果内部使用参考电压 VREOUT 时 (用作 AD 参考电压和比较器参考电压), 不需要将寄存器 VRECTL1 的 VREOE (VRECTL1.3) 位置 1, 此时 P0.4 可用作通用 I/O 口。

将 VREEN(VRECTL1.1)位置 1 将打开参考电压模块, 此时的 1.7V 参考电压可供芯片内部使用, 再将 VREOE(VRECTL1.3)位置 1 可使能内部 1.7V 参考电压输出, 相应的引脚输出 1.7V 参考电压。

用户如果要用到内部 1.7V 参考电压, 需先读出 7FBH/7FAH 地址的参考电压校准值(例 7.1), 送到 VRECAL1/VRECAL2 寄存器, 然后根据需要设置 VRECTL1 中的 VREEN 和 VREOE 位。

VRECAL1 和 VRECAL2 为内部参考电压校准寄存器, 用户在编程时, 需要在程序初始化部分将存放在程序空间 07FBH 和 07FAH 的参考电压校准值读出来存放到 VRECAL1 和 VRECAL2 中, 否则可能导致内部参考电压不准。

示例:

```
CALL 0X7FB
MOV VRECAL1,R0
NOPZ
NOPZ
CALL 0X7FA
MOV VRECAL2,R0
NOPZ
NOPZ
```

7.5 转换时钟的选择

完成一次 A/D 转换所需要的时间为 $13T_{ad}$ 。如寄存器 7.2 所示，可通过软件方式设置 ADCS 位(ADCCTL1<6:4>)选择转换时钟源，共有 7 种时钟选项。 T_{ad} 和 F_{ad} 分别为 A/D 转换时钟周期和频率。

为保证 A/D 转换的正确进行，所选择的 A/D 转换时钟周期(T_{ad})典型值应在 1us 左右。

7.6 输出格式

KF8V220 中 A/D 转换的结果为 12 位二进制数，A/D 转换结果寄存器为两个 8 位的寄存器。用户可以通过 ADLR(ADCCTL0.7)设置转换结果输出格式，ADLR 置 1 输出为右对齐，ADLR 清 0 输出为左对齐。如图 7.2 所示。

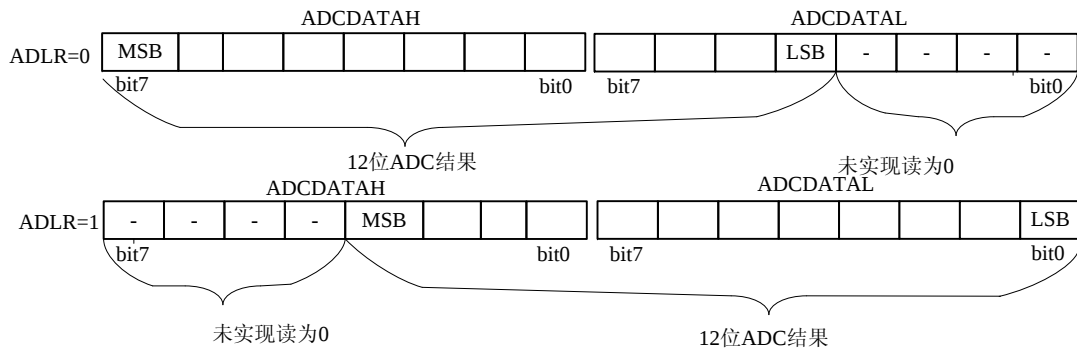


图 7.2 ADC 结构对其方式

7.7 A/D转换的启动和完成

先将 ADEN 位置 1，然后将 START 位(ADCCTL0<1>)置 1 即可启动 A/D 转换。当转换结束时，A/D 模块将：

1. 将 START 位清 0
2. 将 ADIF 位置 1
3. 如果使能 A/D 转换中断，则响应中断

可以采取在程序中将 START 位清 0 的方法中止当前的转换操作。在 A/D 转换采样全部结束之前，ADCDATAH:ADCDATAL 寄存器中的内容将不会被更新，而是仍旧保留前一次的转换结果。A/D 转换被中止后，需至少等待 $2T_{ad}$ 的延时时间后才能开始下一次数据采集。

7.8 A/D 工作在休眠模式

A/D 时钟源由内部振荡器提供，执行 IDLE 指令将导致当前转换操作中止，并使 A/D 模块关闭。

7.9 复位的影响

器件复位将强制所有寄存器进入复位状态。因此，A/D 模块将被关闭，任何进行中的转换操作被中止。ADCDATAH:ADCDATAL 寄存器中的值不变。

7.10 转换器的设置

启动 A/D 转换器时的设置:

1. 选择 A/D 采样输入通道，设置 A/D 转换结果对齐方式；
2. 将对应的 A/D 采样输入通道设置为模拟输入模式；
3. 如果需要使能 AD 的失调校准，需先将 ADCCALIEN 位置 1，清 0 则禁止；
4. 通过设置 ADCCTL1 寄存器的 ADCIM<1:0>位来设置 AD 工作时的电流大小；
5. 选择参考电压和 A/D 采样时钟频率，打开 A/D 转换；
6. 如果采用中断方式，使能 A/D 转换中断；
7. 等待 AD 所需的采集时间；
8. 启动 A/D 转换；
9. 查询 AD 是否转换完成(START=0)或进入 AD 中断；
10. 读取 AD 转换结果。

8 PWM模块

KF8V220 单片机具有 2 路 8 位的 PWM 模块 PWM1/PWM2, PWM1 和 PWM2 结构相同。

8.1 PWM1/2 模块

启动 PWM 后, 在对应的 PWM1(或 PWM2)引脚输出 PWM 脉冲。PWM 脉冲的频率和占空比通过 PP1(或 PP2)和 PWM1L(或 PWM2L)设置。

图 8.1 显示了 PWM 逻辑框图。其中 PP1/PP2 分别为 PWM1/PWM2 模块的周期寄存器, PWM1L/PWM2L 分别为 PWM1/PWM2 的占空比设置寄存器。

使用 PWM 时需要将定时器 1 配置给 PWM1/2 做定时用, 其中 T1L、T1IE 和 T1IF 分配给 PWM1, T1H 分配给 PWM2。

启动 PWM1 后, 当 T1L 计数值和 PP1 相等时, P1.6 引脚被置 1, 此时 T1L 被清 0, 重新开始计数, 当 T1L 的计数值和 PWM1L 相等时, P1.6 引脚清 0(如图 8.2 所示)。改变 PP1 和 PWM1L 的值可产生不同的 PWM1 周期和 PWM1 占空比。PWM2 模块的工作原理和 PWM1 模块完全一致。

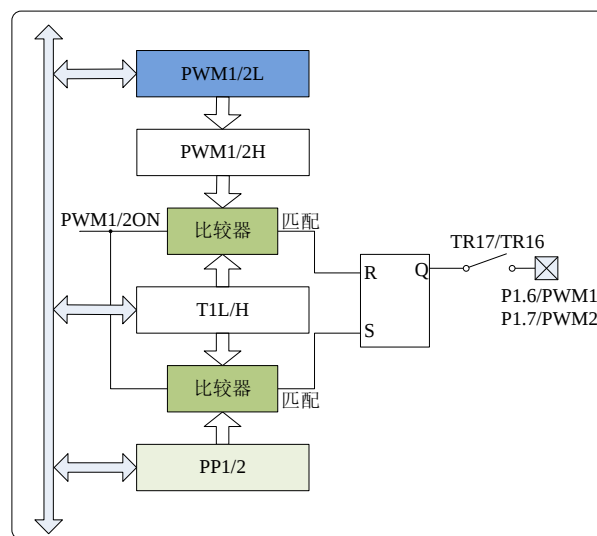


图 8.1 PWM1/2 逻辑框图

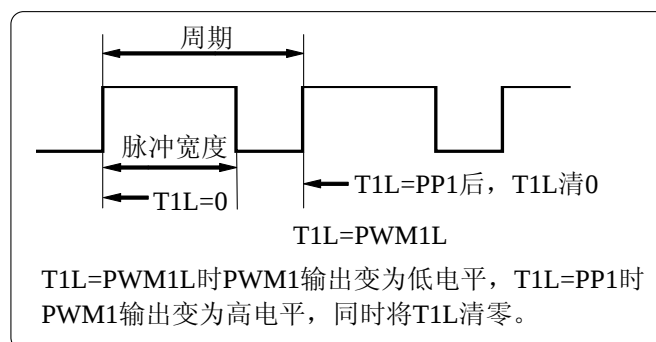


图 8.2 PWM1 输出波形图

8.2 PWM1/2 计数时钟原理

PWM1/PWM2 的计数时钟源为 $F_{sys}/4$ 和 F_{osc} (振荡器时钟)可选, 分别由 PWM1CKS 和 PWM2CKS 控制, 默认为 $F_{sys}/4$ 。

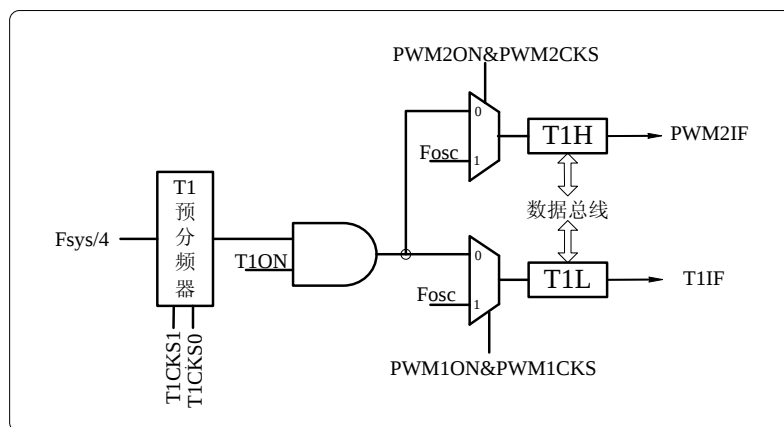


图 8.3 PWM1/2 使能时 T1 时钟源框图

注：A01 版本的芯片不支持 PWM1/2 的计数时钟源可选功能, 只能选择 $F_{sys}/4$ 作为计数时钟源。

8.3 PWM1/2相关的寄存器

表 8-1 与 PWM 相关的寄存器

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
13H	PWM1L	PWM1 占空比寄存器							
16H	PP1	PWM1 周期寄存器							
32H	PP2	PWM2 周期寄存器							
33H	PWM2L	PWM2 占空比寄存器							
15H	PWMCTL	INT2SE	INT1SE	-	-	PWM2CKS	PWM1CKS	PWM2ON	PWM1ON

8.3.1 PWM控制寄存器

PWM 控制寄存器包括 PWM1/2 的启动控制位和 INT1/2 触发脉冲边沿选择位。

寄存器8.1: PWMCTL: PWM启动控制寄存器(地址: 15H)

复位值 11-- 0000	bit7				bit0			
	INT2SE	INT1SE	-	-	PWM2CKS	PWM1CKS	PWM2ON	PWM1ON
	R/W	R/W	U	U	R/W	R/W	R/W	R/W

INT2SE: INT2 触发脉冲边沿选择位
1 = 上升沿触发

0 = 下降沿触发

INT1SE: INT1 触发脉冲边沿选择位

1 = 上升沿触发

0 = 下降沿触发

PWM2CKS: PWM2 计数时钟源选择位

1 = PWM2 计数时钟源为 Fosc

0 = PWM2 计数时钟源为 Fsys/4

PWM1CKS: PWM1 计数时钟源选择位

1 = PWM1 计数时钟源为 Fosc

0 = PWM1 计数时钟源为 Fsys/4

PWM2ON: PWM2 启动控制位

1 = 启动 PWM2

0 = 禁止 PWM2

PWM1ON: PWM1 启动控制位

1 = 启动 PWM1

0 = 禁止 PWM1

图注：R=可读 W=可写 -=未用 U=未实现位

注：A01 版本芯片不支持 PWM2CKS/PWM1CKS 位功能，原 A01 版本芯片的程序切换到 A02 版本芯片时，PWMCTL<3:2>位必须为 0，以兼容原程序功能）。

8.3.2 PWM1/2 周期

PWM 周期通过 PP1/2 (地址: 16H/32H)进行设置，PP1/2 是一个 8 位的寄存器，其值可设置为 0~255。PWM 周期通过式 8.1 进行计算。

★ 式 8.1： $PWMx\text{周期} = (PPx+1) \cdot T_{pwm}$ (x=1、2)

注：当 PWMxCKS=0 时 $T_{pwm} = 4 \cdot T_{sys} \cdot (T1\text{预分频比})$

当 PWMxCKS=1 时 $T_{pwm} = T_{osc}$

8.3.3 PWM1/2 占空比

PWM 占空比通过 PWM1/2L(地址: 13H/33H)设置，可写入一个 8 位的值到 PWM1/2L 来设置占空比。脉冲宽度和占空比通过式 8.2 和式 8.3 计算：

★ 式8.2： $\text{脉冲宽度} = PWMxL \cdot T_{pwm}$ (x=1、2)

注：当 PWMxCKS = 0 时， $T_{pwm} = 4 \cdot T_{sys} \cdot (T1\text{预分频比})$

当 PWMxCKS = 0 时， $T_{pwm} = T_{osc}$

★ 式8.3： $\text{占空比} = \frac{\text{脉冲宽度}}{\text{PWM周期}} = \frac{PWMxL}{PPx+1}$ (x=1、2)

8.3.4 PWM1/2 分辨率

分辨率决定在给定周期内的占空比数。例如, 10 位分辨率将产生 1024 个离散的占空比, 8 位分辨率产生 256 个离散的占空比。KF8V220 中当 PP1/2 为 255 时, PWM 的最大分辨率为 8 位。分辨率的计算公式如式 8.4 所示。

$$\star \text{ 式8.4: } \text{分辨率} = \frac{\text{Log}[(\text{PPx}+1)]}{\text{log2}} \text{ 位} \quad (\text{x}=1、2)$$

8.3.5 PWM1/2 中断

PWM2 有一个专门的中断使能位 PWM2IE、中断标志位 PWM2IF 和中断优先级位 PPWM2, 而 PWM1 和定时器 T1 共用中断使能位 T1IE、中断标志位 T1IF 和中断优先级位 PT1。

PWM1/2 启用后, 当 T1L/H 的计数值与 PWM1L/2L 的值匹配后, 其对应的输出引脚变为低电平。当 T1L/H 的计数值与 PP1/2 的值匹配后, 其对应的输出引脚变为高电平, 同时将 T1L/H 清 0, 将 T1IF/PWM2IF 置 1, 如果允许 T1 或 PWM2 中断, 将会转入对应的中断子程序中。

8.3.6 休眠模式下的操作

在休眠模式下, T1 寄存器将不会递增并且模块的状态将保持不变。PWM1/2 输出引脚电平保持不变(如果输出为高电平, 则保持高电平, 如果输出为低电平, 则保持低电平)。当器件被唤醒时, T1 将从原来的状态继续工作。

8.3.7 系统时钟频率的改变

PWM1/2 的输出频率是通过 T1L/H 定时产生的, 而定时器的计数时钟为 Fsys/4 或 Fosc。当选择 Fsys/4 作为 PWM1/2 的计数时钟源时, 系统时钟频率发生任何改变都会使 PWM 频率发生变化。

8.3.8 复位的影响

任何复位都会将所有端口强制为输入模式, 并强制 PWM1/2 使用的寄存器进入其复位状态。

8.3.9 PWM1/2 使用方法

PWM1/2 工作的设置应按照以下步骤:

1. 通过 PWMxCKS 位设置 PWM 的计数时钟。
2. 将 TR16 或 TR17 置 1，禁止引脚 P1.6/PWM1 或 P1.7/PWM2 的输出驱动器。
3. 赋 PP1 或 PP2 寄存器的初值以设置 PWM1 或 PWM2 的 PWM 周期。
4. 赋 PWM1L 或 PWM2L 寄存器的初值以设置 PWM1 或 PWM2 的占空比。
5. 配置并启动定时器/计数器 T1:
 - 配置 T1CTL 寄存器的 T1CKS1 和 T1CKS0 以选择 T1 的预分频比;
 - 将 T1L/H 清 0;
 - 将 T1CTL 寄存器的 T1ON 位置 1 以启动 T1。
6. 将 PWMCTL 寄存器的 PWM1ON 或 PWM2ON 置 1 以启动 PWM1 或 PWM2。
7. 将 TR16 或 TR17 清 0 使能引脚 P1.6/PWM1 或 P1.7/PWM2 的输出驱动器。

9 模拟比较器模块

KF8V220 含有 1 路模拟比较器，其中模拟比较器的正端输入为 IO 端口，负端输入可选择 IO 端口、1.7V 的内部参考电压 VREOUT。

9.1 模拟比较器原理

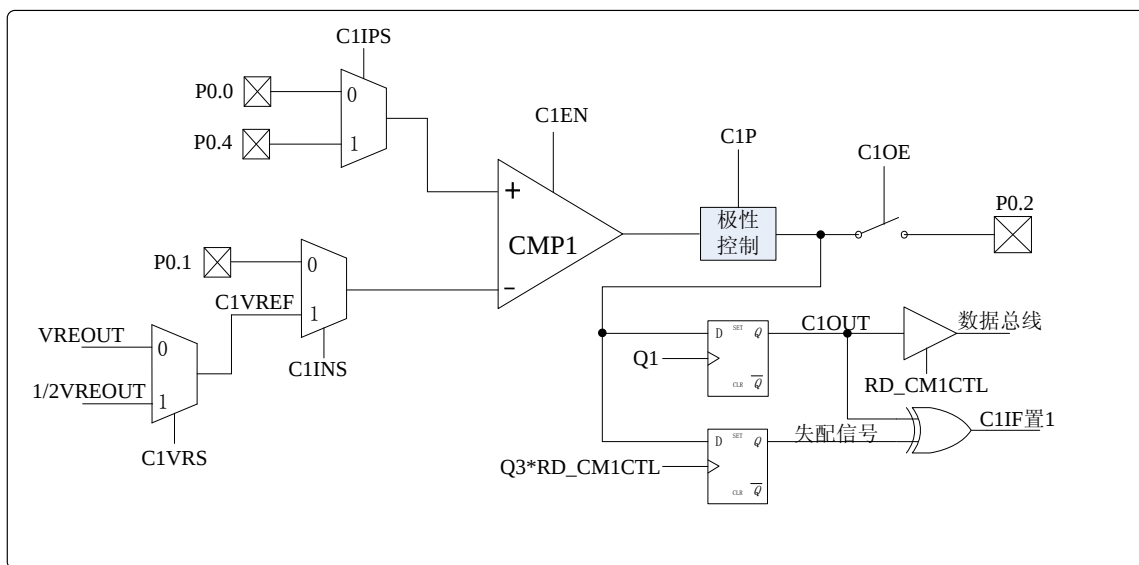


图 9.1 模拟比较器模块

9.2 模拟比较器控制寄存器（CM1CTL）

寄存器9.1: CM1CTL: CMP1控制寄存器(地址: 19H)

复位值 0000 -000	bit7						bit0	
	C1OE	C1INS	C1VRS	C1IPS	-	C1P	C1OUT	C1EN
	R/W	R/W	R/W	R/W	U	R/W	R/W	R/W

C1OE: 模拟比较器 1 输出使能位

0 = CMP1 不输出到对应引脚

1 = CMP1 输出到对应引脚

C1INS: 模拟比较器 1 的负端输入选择

0 = 选择 P0.1 引脚作为比较器 1 的负端输入

1 = 选择 C1VREF 作为比较器 1 的负端输入，C1VREF 通过 C1VRS 位设置

C1VRS: 模拟比较器 1 参考电压选择位

0= VREOUT 作为比较器的 C1VREF 输入

1= 1/2VREOUT 作为比较器的 C1VREF 输入

C1IPS:	模拟比较器 1 的正端输入选择 1 = 选择 P0.4 引脚作为比较器 1 的正端输入 0 = 选择 P0.0 引脚作为比较器 1 的正端输入
C1P:	模拟比较器 1 输出极性控制 0 = 模拟比较器 1 输出同相 1 = 模拟比较器 1 输出反向
C1OUT:	模拟比较器 1 输出 若 C1P=0 (输出同相时) 0 = C1IN+ < C1IN- 1 = C1IN+ > C1IN- 若 C1P=1 (输出反相时) 0 = C1IN+ > C1IN- 1 = C1IN+ < C1IN-
C1EN:	模拟比较器 1 使能位 0 = 比较器 1 禁止 1 = 比较器 1 使能

图注：R=可读 W=可写 -=未用 U=未实现位

注：A01 版本芯片不支持 C1VRS 和 C1IPS 位功能，原 A01 版本芯片的程序切换到 A02 版本芯片时，CM1CTL<5:4>位必须为 0，以兼容原程序功能）。

9.3 比较器中断

如图 9.1，两个寄存器和一个异或门组成比较器的失配电路。读取 CM1CTL 寄存器时，失配信号的寄存器被比较器输出信号更新，并保持到下次读取 CM1CTL 寄存器或复位为止。CM1CTL 的 C1OUT 寄存器在每个 Q1 时钟更新。当比较器输出变化引起寄存器 C1OUT 变化时，将产生失配条件，C1OUT 和失配信号不相等，产生比较器 CMP1 的中断标志 C1IF 置 1。失配条件将持续到读 CM1CTL 寄存器或比较器输出返回到先前状态为止。如果 CMP1 的中断使能，且 AIE(全局中断允许位)和 PUIE(外设中断允许位)置 1，程序将相应中断。如果 IPEN 和 PT2 位均置 1，则为高优先级中断。

注：由于对寄存器的写同样包含读操作，写 CM1CTL 时同样将清除失配条件。

9.4 比较器使用

使用比较器时需要进行下列设置：

1. 配置相应的输入和输出引脚为模拟/数字、输入/输出状态；
2. 设置相应寄存器的控制位来为模拟比较器选择工作模式；
3. 如果需要使用中断需要配置中断相关的寄存器位。

10 复位

KF8V220 具有:上电复位(POR)、WDT 复位、RST 复位和欠压检测复位(LVR)四种复位方式。

有些寄存器的状态在上电复位时它们的状态不定,而在其它复位发生时其状态将保持不变;其它大多数寄存器在复位事件发生时将被复位成“复位状态”。图 10.1 给出了片内复位电路的简化结构方框图。

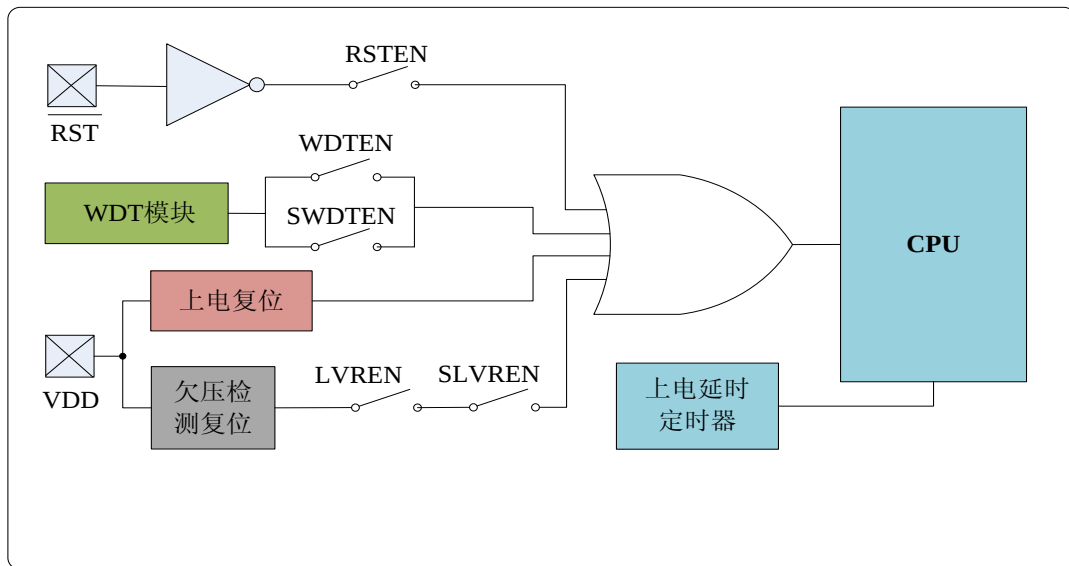


图 10.1 片内复位电路简化框图

注：上电延时定时器只对上电复位(POR)和欠压复位(LVR)有效。

10.1 上电复位(POR)

在 VDD 达到适合单片机正常工作的电平之前,片内上电复位电路使单片机保持在复位状态,直到 VDD 达到正常工作电平之后单片机才开始正常工作。

10.2 WDT 复位

看门狗定时器有一个独立的时钟源,因此单片机在正常工作和休眠模式下都可以正常工作。在单片机正常工作且打开看门狗后,当看门狗计数器计满后产生溢出,将使单片机复位。

在休眠模式下, WDT 也可以正常工作,当 WDT 定时器计满溢出后,将会使单片机从休眠模式唤醒转入正常工作模式,在休眠模式不会对各寄存器复位。

10.3 RST复位

使能外部 RST 复位（配置位 RSTEN=1）后，当引脚 P0.3/ $\overline{\text{RST}}$ 输入复位信号，不管单片机工作在正常模式还是休眠模式，均会使单片机复位。通过在编程时将 P0.3 引脚配置为 $\overline{\text{RST}}$ 复位引脚，即可打开 $\overline{\text{RST}}$ 复位。

在 $\overline{\text{RST}}$ 复位时，KF8V220 器件有一个噪声滤波器用于滤出 $\overline{\text{RST}}$ 引脚上的噪声干扰，图 10.2 是建议 $\overline{\text{RST}}$ 复位电路。

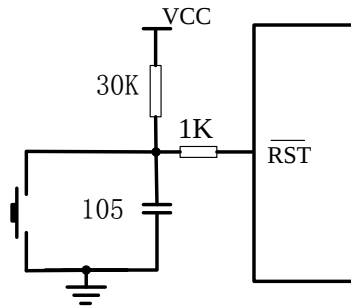


图 10.2 建议 $\overline{\text{RST}}$ 复位电路

10.4 欠压检测复位(LVR)

KF8V220 型单片机具有片内欠压检测复位电路。通过编程时设定配置位中的 LVREN 位可以禁止/使能(清 0/置 1)欠压检测复位电路，当配置位中的 LVREN 位被使能后，用户还要在软件中设置 PCTL 中的 SLVREN 位来禁止/使能(清 0/置 1)欠压检测复位电路。

如果 VDD 跌落至 VLVR 以下且持续时间大于 TLVR (TLVR 大于 10us)，欠压检测电路将使单片机复位，单片机保持复位状态直到 VDD 上升到 VLVR 以上，此时上电延时定时器启动，提供一个长度为 70ms 的长延时时间或者一个长度为 1ms 的短延时时间，可以通过配置位的 $\overline{\text{PWRT}}$ 位来选择。

如果 VDD 跌落至 VLVR 以下的时间小于规定参数(TLVR)，将不保证可产生复位。

如果在上电延时定时器运行过程中发生 VDD 跌落至 VLVR 以下的情况，器件将返回欠压检测复位状态且上电延时定时器被重新初始化。直到 VDD 上升至 VLVR 以上时，上电延时定时器启动一个复位延时，如在延时器件没有欠压发生，单片机会退出复位状态开始正常工作。

10.5 上电延时定时器

上电延时定时器仅在器件上电复位或欠压检测复位发生后提供一个长度为 70ms 的长延时时间或者一个长度为 1ms 的短延时时间，可以通过配置位的 $\overline{\text{PWRT}}$ 位来选择。上电延时定时器的定时时钟为系统内部振荡器，上电延时定时器使单片机在 VDD 上升到适当电平后才投入正常运行。

由于 VDD、温度、制造工艺、内部震荡器频率等的变化，不同单片机的上电延时时间有所差异。

10.6 不同复位条件下对寄存器的影响

表 10-1 寄存器在各种复位发生后的状态

寄存器	地址	上电复位	RST 复位 欠压检测	中断唤醒 WDT 超时唤醒
T0	01H	xxxx xxxx	uuuu uuuu	uuuu uuuu
PCL	02H	0000 0000	0000 0000	PC+1
PSW	03H	0001 1xxx	000q quuu	uuuq quuu
P0	05H	-- xx xxxx	-- uu uuuu	--uu uuuu
P2	06H	xxxx ----	uuuu ----	uuuu ----
P1	07H	xxxx xxxx	uuuu uuuu	uuuu uuuu
PCH	0AH	---0 0000	---0 0000	---u uuuu
INTCTL	0BH	0000 0000	0000 0000	uuuu uuuu
EIF1	0CH	0000 0000	0000 0000	uuuu uuuu
EIF2	0DH	00-- -0--	00-- -0--	uu-- -u--
T1L	0EH	xxxx xxxx	uuuu uuuu	uuuu uuuu
T1H	0FH	xxxx xxxx	uuuu uuuu	uuuu uuuu
T1CTL	10H	-000 -000	-uuu -uuu	-uuu -uuu
PWM1L	13H	xxxx xxxx	uuuu uuuu	uuuu uuuu
PWM1H	14H	xxxx xxxx	uuuu uuuu	uuuu uuuu
PWMCTL	15H	11-- 0000	11-- 0000	uu-- uuuu
PP1	16H	1111 1111	1111 1111	uuuu uuuu
CMCTL0	19H	0000 -000	0000 -000	uuuu -uuu
VRECAL1	1CH	0111 1111	0111 1111	uuuu uuuu
ANSEH	1DH	---- 0000	---- 0000	---- uuuu
ADCDATAH	1EH	xxxx xxxx	uuuu uu	uuuu uu
ADCCTL0	1FH	0000 0000	0000 0000	uuuu uuuu
OPTR	21H	1111 1111	1111 1111	uuuu uuuu
IP0	22H	---- -000	---- -000	---- -uuu
IP1	23H	0000 0000	0000 0000	uuuu uuuu
TR0	25H	1111 1111	1111 1111	uuuu uuuu
TR2	26H	1111 ----	1111 ----	uuuu ----
TR1	27H	1111 1111	1111 1111	uuuu uuuu
PUR2	28H	---0 0000	---0 0000	---u uuuu
PUR1	29H	0000 0000	0000 0000	uuuu uuuu
VRECAL2	2AH	0111 0111	0111 0111	uuuu uuuu
VRECTL1	2BH	--00 0000	--00 0000	--uu uuuu
EIE1	2CH	0000 0000	0000 0000	uuuu uuuu
PCTL	2EH	---1 000x	---1 00uq	---u uuuu
OSCCCTL	2FH	0010 ----	0010 ----	uuuu ----
OSCCAL0	30H	10000 0000	1000 0000	uuuu uuuu
ANSEL	31H	0000 0000	0000 0000	uuuu uuuu
PP2	32H	1111 1111	1111 1111	uuuu uuuu
PWM2L	33H	xxxx xxxx	uuuu uuuu	uuuu uuuu
PWM2H	34H	xxxx xxxx	uuuu uuuu	uuuu uuuu
PUR0	35H	1111 -111	1111 -111	uuuu -uuu
IOCL	36H	0000 0000	0000 0000	uuuu uuuu
OSCCAL1	37H	0000 -001	0000 -001	uuuu -uuu
ADCDATA1	3EH	xxxx xxxx	uuuu uuuu	uuuu uuuu
ADCCTL1	3FH	0000 0000	0000 0000	uuuu uuuu
P0LR	45H	xxxx xxxx	uuuu uuuu	uuuu uuuu
P2LR	46H	xxxx- ----	uuuu ----	uuuu ----
P1LR	47H	xxxx xxxx	uuuu uuuu	uuuu uuuu
OSCCAL2	4CH	xxxx xxxx	xxxx xxxx	xxxx xxxx
OSCCAL3	4DH	xxxx xxxx	xxxx xxxx	xxxx xxxx

注：u=不变，x=未知，-=未实现位，读为 0；q=视具体条件而定。

表 10-2 不同复位条件下对标志位的影响

$\overline{\text{POR}}$	$\overline{\text{LVR}}$	$\overline{\text{TO}}$	$\overline{\text{PD}}$	复位方式
0	u	1	1	上电复位
1	0	1	1	欠压检测复位
u	u	0	u	WDT 复位
u	u	0	0	WDT 唤醒
u	u	u	u	正常操作中的 $\overline{\text{RST}}$ 复位
u	u	1	0	休眠模式中的 $\overline{\text{RST}}$ 复位

注: u=不变

11 休眠模式

当单片机空闲的时候，为使其功耗降到最低，可以将其转入休眠模式。通过执行一条 IDLE 指令即可进入休眠模式。

为使这种方式下的电流消耗降至最低，应使所有 I/O 口状态确定，如果有的端口没有使用，最好设置为输入，接到 VDD 或 VSS 上，如果没用的端口悬空，应设置为输出，以确保 I/O 引脚没有耗散电流产生，其他在休眠时不用的外设都要关闭。

注: 在单片机正常工作时，通常有些引脚用不到，有的用户可能会直接将其悬空。为了减小单片机的功耗，应该将不用的引脚设置为数字输出。如果是 P0 口的引脚则可打开上拉电阻或者设置为数字输出皆可。

单片机进入休眠模式一段时间后由于工作的需要，要将单片机从休眠模式唤醒，在 KF8V220 中可通过以下方式将单片机从休眠模式唤醒：

1. RST 引脚上输入的外部复位
2. 看门狗定时器唤醒(如果 WDT 已被使能)
3. INT0 中断
4. P0 口电平变化中断
5. 外设中断 (T1 异步计数模式、INT1、INT2 和比较器 CMP1)

RST 引脚输入的复位信号在唤醒单片机的同时也将导致单片机复位。其它唤醒时将单片机从休眠模式唤醒，并不会导致复位。可通过状态寄存器中的 $\overline{TO}$ 和 $\overline{PD}$ 位来确定单片机唤醒的原因。上电时 $\overline{PD}$ 位将被置 1，而当器件从休眠模式唤醒时，该位将被清 0。 $\overline{TO}$ 位则在 WDT 唤醒发生时被清 0。

在使用后三种方式唤醒时，必须使能相应的中断使能位，唤醒与 AIE 位的状态无关。如果 AIE 位被清 0，单片机被唤醒后将继续执行 IDLE 指令后面的指令。如果 AIE 位被置 1，单片机执行 IDLE 指令后面一条指令后进入中断子程序。如果不希望执行 IDLE 指令后面的那条指令直接进入中断子程序，在 IDLE 指令加一条 NOP 指令即可。

12 看门狗定时器

为了防止单片机在正常工作时程序跑飞，KF8V220 提供一个看门狗定时器，单片机正常工作时，当看门狗定时器定时时间达到超时时间后，会使单片机产生复位。

看门狗定时器使用片内看门狗专用 RC 振荡器，因此它无需外接任何器件，在休眠模式仍能正常运行。在正常运行时，WDT 超时事件将使单片机产生一次复位。如果单片机处于休眠模式，WDT 超时事件将唤醒单片机并使其继续执行 IDLE 后面的指令。通过将配置位 WDTEN 清 0/置 1，可关闭/打开 WDT。如果配置位 WDTEN 清 0，则可以通过寄存器 SWDTEN(PCTL<2>)软件清 0/置 1，可关闭/打开 WDT。

WDT 周期:

WDT 不使用预分频器时超时时间为 18ms。由于温度、电源电压和工艺等的差异，不同器件之间的超时周期稍有不同。通过软件将 OPTR 寄存器的 PSA 位置 1，可将预分频器分配给 WDT。设置 PS<2:0>选择预分频器的分频比，分频比可选择为:1/1、1/2、1/4、1/8、1/16、1/32、1/64、1/128。使用预分频器时，最长超时时间可达 2.3 秒。

为了防止在正常工作时看门狗超时复位，要在固定的时间内对看门狗定时器清 0。执行 CWDT 和 IDLE 指令后会将 WDT 和预分频器清 0，当看门狗定时器出现超时，状态字寄存器 PSW 中的 $\overline{TO}$ 位将被清 0。

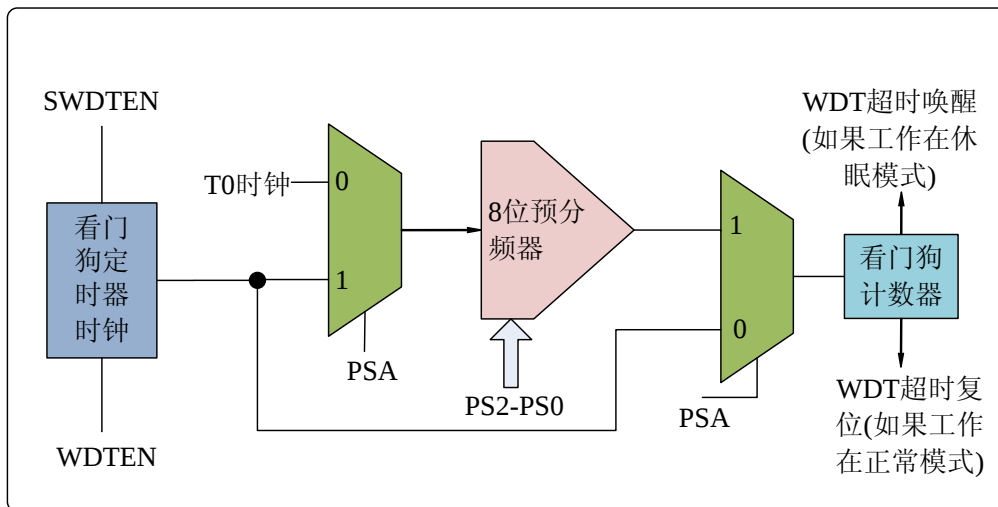


图 12.1 看门狗定时器框图

13 电气规范

13.1 极限参数值

表 13-1 芯片极限参数值

极限参数值		
序号	参数说明	参数范围
1	偏置电压下的环境温度	-30°C ~85°C
2	储存温度	-65°C ~150°C
3	VDD 相对于VSS 的电压	5.5V
4	MODE 相对于Vss 的电压	12.5V
5	其它引脚相对于VSS 的电压	5.5V
6	VSS 引脚的最大输出电流	80mA
7	VDD 引脚的最大输入电流	80mA
8	任一I/O 引脚的最大输出灌电流	15mA
9	任一I/O 引脚的最大输出拉电流	15mA
10	I/O口 的最大灌电流	80mA
11	I/O口 的最大拉电流	80mA

备注：如果器件的工作条件超过“最大值”，可能会对器件造成永久性损坏。上述值仅为运行条件极大值，建议不要使器件在该规范规定的范围以外运行。器件长时间工作在最大值条件下，其稳定性会受到影响。

13.2 时钟温漂特性图

振荡器频率精度与温度、电压之间的关系图如下：

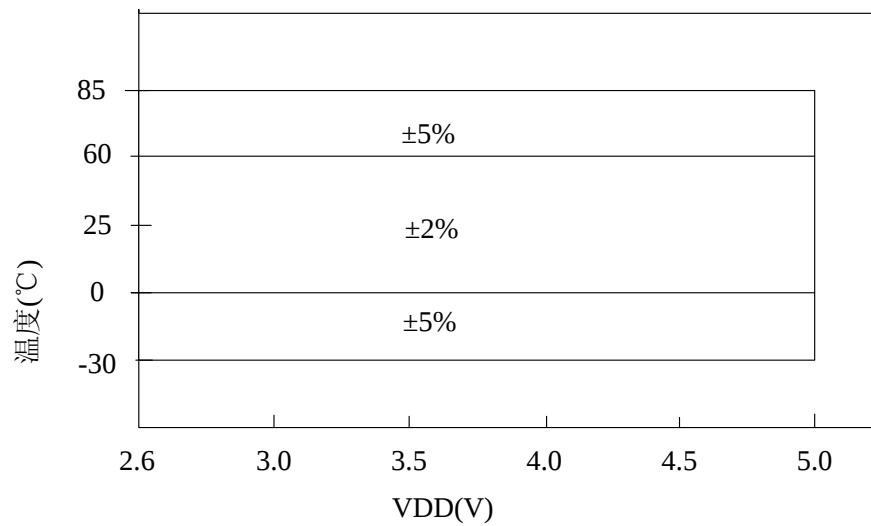


图13.1 时钟温漂特性图

13.3 静态电流特性

表13-2 芯片静态电流 (I_{DD}) 特性

测试条件: 25°C						
序号	测试条件		最小值	典型值	最大值	单位
	振荡频率	V_{DD} (V)				
1	16MHz	5.0	-	738	1350	uA
		4.0	-	727	1350	
		3.0	-	724	1350	
		2.6	-	716	1350	
2	8MHz	5.0	-	605	1150	
		4.0	-	595	1150	
		3.0	-	594	1150	
		2.6	-	586	1150	
3	4MHz	5.0	-	539	1000	
		4.0	-	529	1000	
		3.0	-	528	1000	
		2.6	-	521	1000	
4	2MHz	5.0	-	506	1000	
		4.0	-	496	1000	
		3.0	-	496	1000	
		2.6	-	489	1000	
5	1MHz	5.0	-	488	950	
		4.0	-	479	950	
		3.0	-	479	950	
		2.6	-	472	950	
6	500kHz	5.0	-	481	950	
		4.0	-	471	950	
		3.0	-	470	950	
		2.6	-	463	950	
7	250kHz	5.0	-	476	900	
		4.0	-	467	900	
		3.0	-	466	900	
		2.6	-	459	900	
8	62.5kHz	5.0	-	474	900	
		4.0	-	463	900	
		3.0	-	463	900	
		2.6	-	456	900	

注 1: 在正常的工作模式下, I_{DD} 测量的条件为: 所有I/O 引脚均设置为输出低, $RST = V_{ss}$, 禁止 WDT, 关闭时钟输出。

2: 供电电流主要随工作电压和频率而变化。其它因素, 如I/O 引脚负载和开关速率、内部代码执行模式和温度也会影响电流消耗。

13.4 外设电流特性

表13-3芯片外设电流特性

测试条件: 25°C							
序号	测试参数	测试条件		最小值	典型值	最大值	单位
			V _{DD} (V)				
1	休眠电流 (I _{IDLE})	WDT、BOR 等外设 被禁止	5.0	-	1.48	2.6	uA
			4.0	-	0.88	1.69	
			3.0	-	0.40	0.91	
			2.6	-	0.30	0.65	
2	WDT 电流 (I _{WDT})		5.0	-	1.97	2.73	
			4.0	-	1.57	2.34	
			3.0	-	1.11	1.56	
			2.6	-	0.86	1.17	
3	欠电压复位电 流 (I _{LVR})		5.0	-	21.48	29.38	
			4.0	-	13.97	19.37	
			3.0	-	8.00	11.18	
			2.6	-	5.80	8.32	
4	弱上拉电流 (I _{PUR})	P0 口的单个 IO 口	5.0	-	185	-	
			4.0	-	122	-	
			3.0	-	71	-	
			2.6	-	51	-	
		P1、P2 口的单个 IO 口	5.0	-	469	-	
			4.0	-	305	-	
			3.0	-	163	-	
			2.5	-	103	-	

- 注 1: 外设电流是基本IDD 或IDLE 电流以及相应外设使能时消耗的额外电流的总和。外设电流可以从此电流中减去基本IDD 或IDLE 电流得出。
- 2: 休眠电流与振荡器类型无关。掉电电流是在器件休眠时, 所有I/O 引脚设置为输出低, RST = V_{SS} ; 禁止WDT, 关闭时钟输出时测得的。
- 3: 外设电流还可能受到温度的影响。

13.5 I/O端口电平和芯片供电电压特性

表 13-4 芯片 IO 端口电平特性

工作温度 $-30^{\circ}\text{C} \leq \text{TA} \leq +85^{\circ}\text{C}$						
符号	参数说明	测试条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平					
	I/O引脚: 采用TTL缓冲器		V_{SS}	-	0.6	V
	采用施密特缓冲触 发器		V_{SS}		$0.15V_{DD}$ $0.2 V_{DD}$	
V_{IH}	输入高电平					
	I/O端口: 采用TTL缓冲器		$V_{DD} - 0.6$	-	V_{DD}	V
	采用施密特缓冲触 发器		$0.8V_{DD}$		V_{DD}	
V_{OL}			-	-	0.6	V
V_{OH}			$V_{DD} - 0.6$	-	-	V

表 13-5 芯片供电电压特性

工作温度 $-30^{\circ}\text{C} \leq \text{TA} \leq +85^{\circ}\text{C}$						
符号	参数说明	测试条件	最小值	典型值	最大值	单位
V_{DD}	电源电压	$F_{OSC} \leq 16\text{MHz}$	2.6	-	5	V
V_{LVR}	欠压复位电压		1.8	2.3	2.6	V
V_{LVR_HYST}	LVR迟滞电压		-	40	100	mV

13.6 A/D 转换器（ADC）特性

表 13-6 A/D 转换器（ADC）特性

工作温度 $-30^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$						
符号	参数说明	测试条件	最小值	典型值	最大值	单位
N_R	分辨率		-	-	12	位
E_{INL}	积分误差		-	± 2	-	LSB
E_{DNL}	微分误差		-	± 1	-	LSB
E_{OFF}	失调误差 ⁽¹⁾		-	± 2	-	LSB
E_{GN}	增益误差		-	± 2	-	LSB
V_{REF}	参考电压		-	-	V_{DD}	V
V_{AIN}	满量程范围		V_{SS}	-	V_{REF}	V
T_{CNV}	AD转换时间		-	13	-	T_{AD}
T_{sample}	AD转换速率		-	-	400	KSPS

注：（1）KF8V220 失调误差固定为 5mV 正失调，针对不同的参考电压对应为不同值，使用时可以直接减去绝对值；

（2）表格中数据为设计值。

13.7 比较器模块规范

表13-7 比较器模块规范

测试条件 ⁽¹⁾ （特别声明除外）： $V_{DD}=5.0V$, $V_{SS}=0V$, $T=25^{\circ}\text{C}$ 工作温度 $-30^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$							
参数编号	符号	特性	最小值	典型值	最大值	单位	备注
1	V_{OS}	输入失调电压		± 5		mV	
2	V_{ICM}	输入共模电压	V_{SS}		$V_{DD}-1.5$	V	
3	C_{MRR}	共模抑制比		48		db	
4	T_{RESP}	响应时间上升沿		0.165		us	$CL=10p$
5		响应时间下降沿		0.066		us	$CL=10p$

注：（1）表格中数据为设计值。

13.8 振荡器模块规范

表 13-10 振荡器模块特性

测试条件（特别声明除外）： 工作温度 $-30^{\circ}\text{C} \leq \text{TA} \leq +85^{\circ}\text{C}$							
参数编号	符号	特性	最小值	典型值	最大值	单位	备注
1	Fosc	振荡频率	31.69	32	32.32	MHz	$2.6\text{V} \leq \text{VDD} \leq 5\text{V} @ 25^{\circ}\text{C}$

13.9 内部参考模块规范

表 13-11 内部参考模块特性

测试条件（特别声明除外）： 工作温度 $-30^{\circ}\text{C} \leq \text{TA} \leq +85^{\circ}\text{C}$							
参数编号	符号	特性	最小值	典型值	最大值	单位	备注
1	Vout	输出电压	1.6	1.7	1.8	V	$2.6\text{V} \leq \text{VDD} \leq 5\text{V} @ 25^{\circ}\text{C}$
2 *	LR	线性调整率	-1	-	1	%/V	$\Delta \text{Vref} / \Delta \text{Vin}$
3	TC	温漂特性	-5	-	5	%	-

* 参数为设计值

14 直流特性图表

备注：某些图表中的数据超出了规定的工作范围（即超出了规定的VDD 范围），这些图表仅供参考，器件只有在规定的范围内工作才可以确保正常运行。

图14.1： 不同VDD 时典型IDD — Fosc 关系曲线图

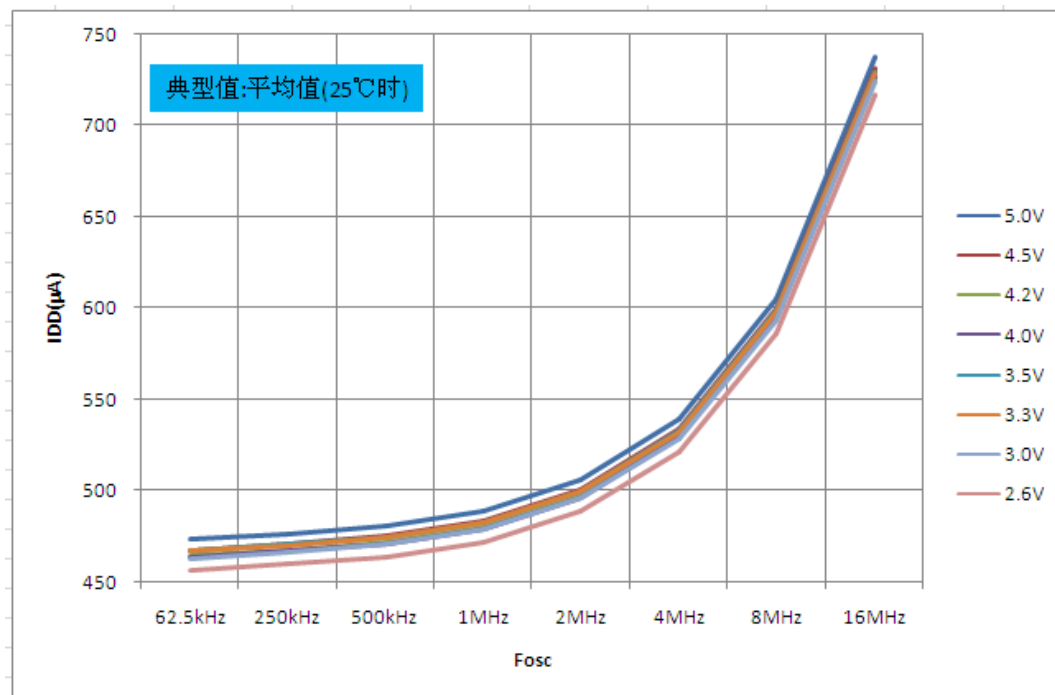


图14.2： 不同VDD 时典型IDLE — VDD 关系曲线图

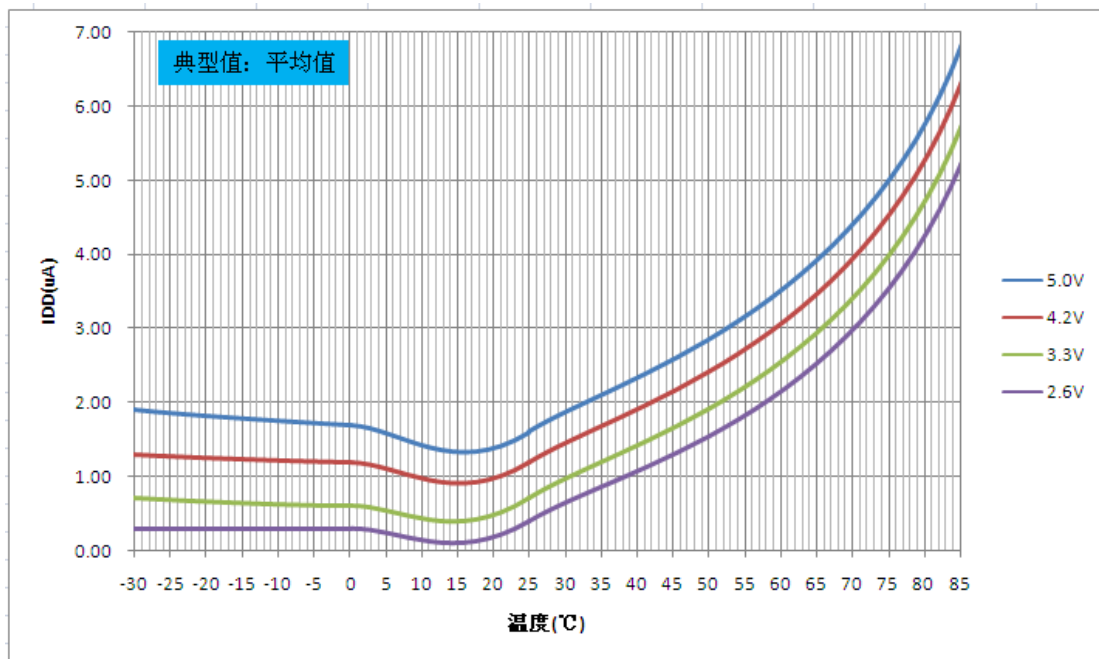


图14.3: 弱上拉电流 I_{PUR} — V_{DD} 关系曲线图(P0口)

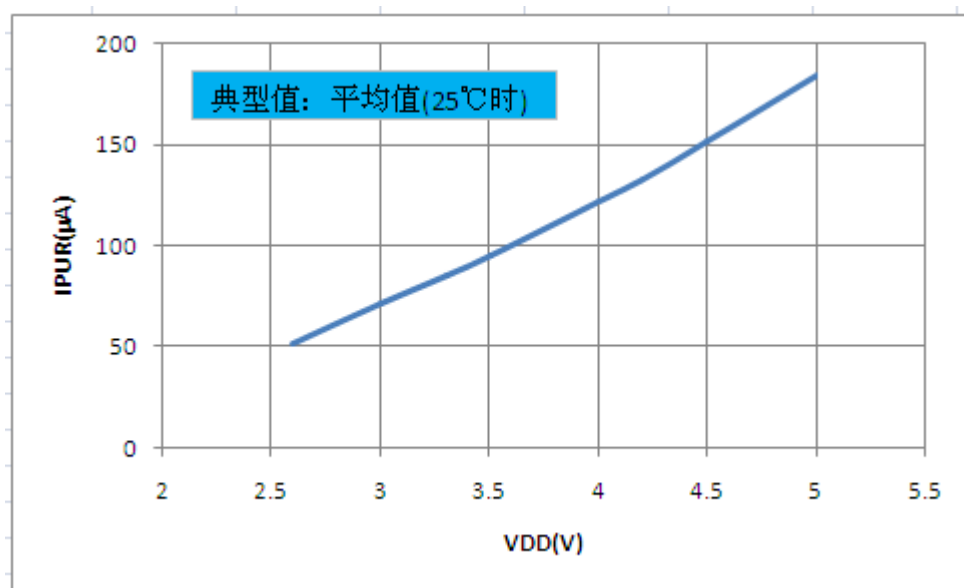


图14.4: 弱上拉电流 I_{PUR} — V_{DD} 关系曲线图(P1口/P2口)

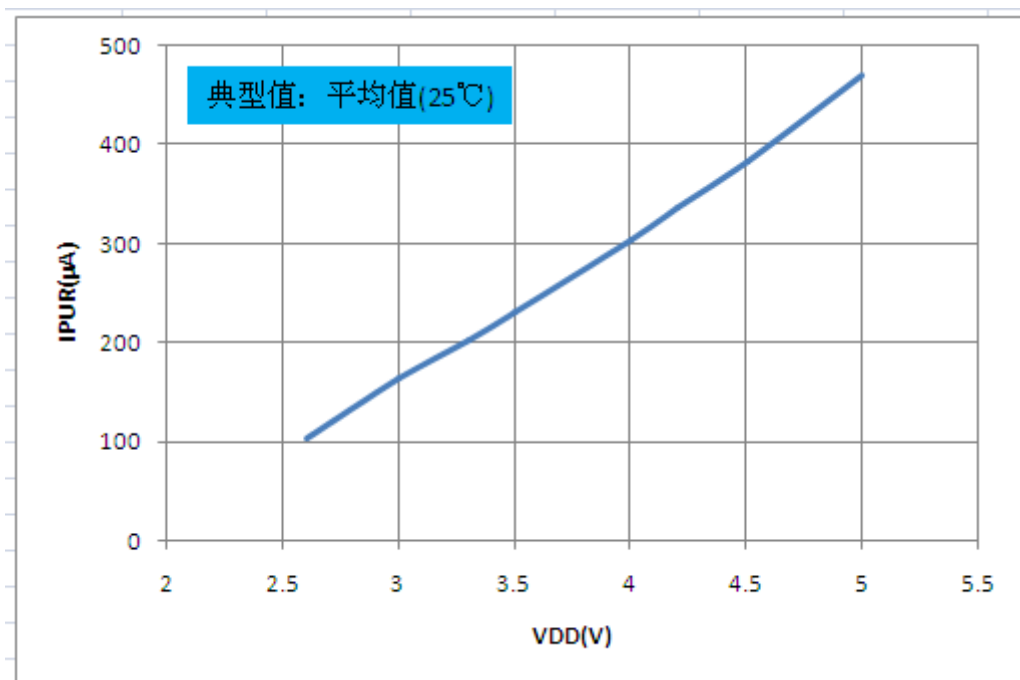
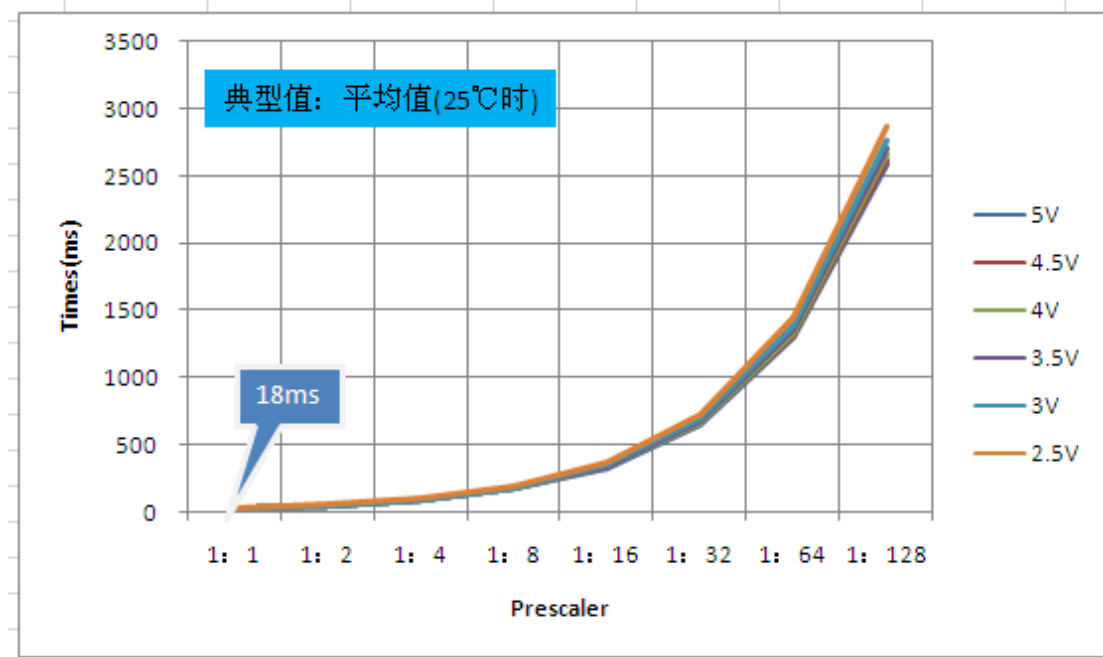


图14.5: 不同VDD时看门狗预分频比 — 周期关系曲线图



备注:1/1 分频时看门狗周期为 18ms。

图14.6: 看门狗电流 — VDD关系曲线图

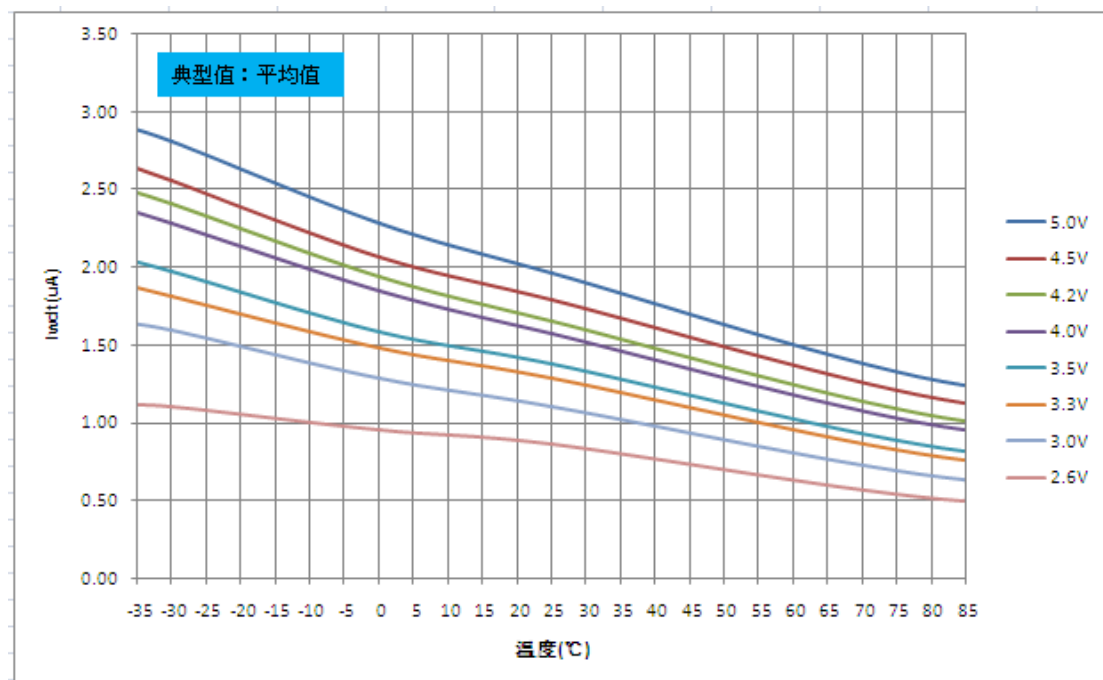


图 14.7: 欠压复位电流 I_{LVR} — V_{DD} 关系曲线图

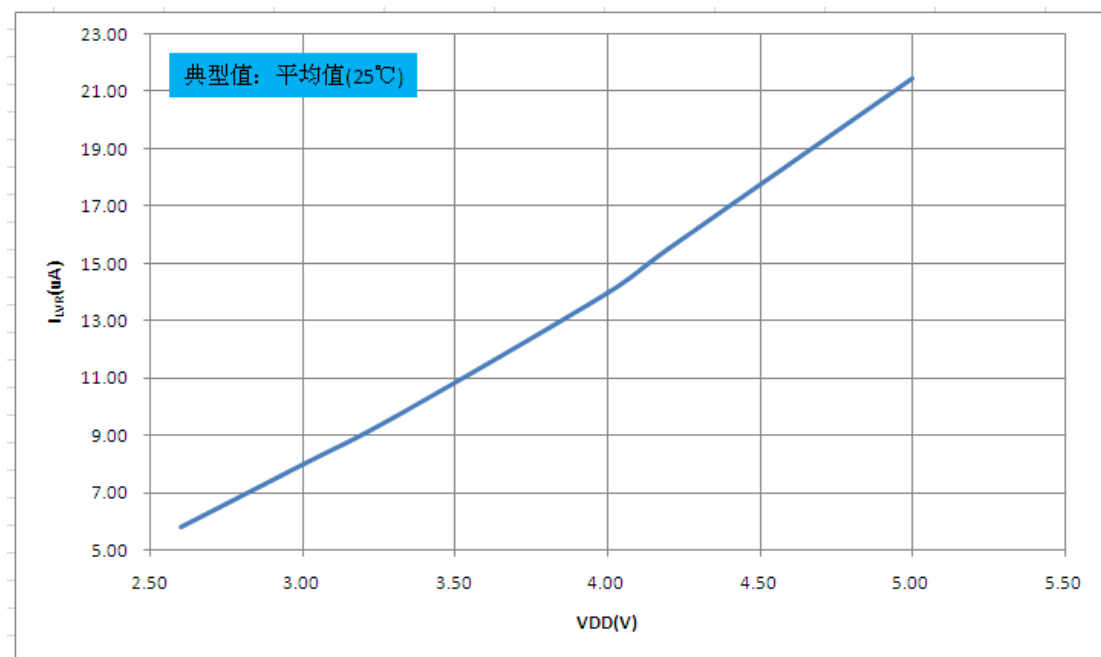


图14.8: 不同温度时 V_{OH} — I_{OH} 关系曲线图 ($V_{DD} = 5.0V$)

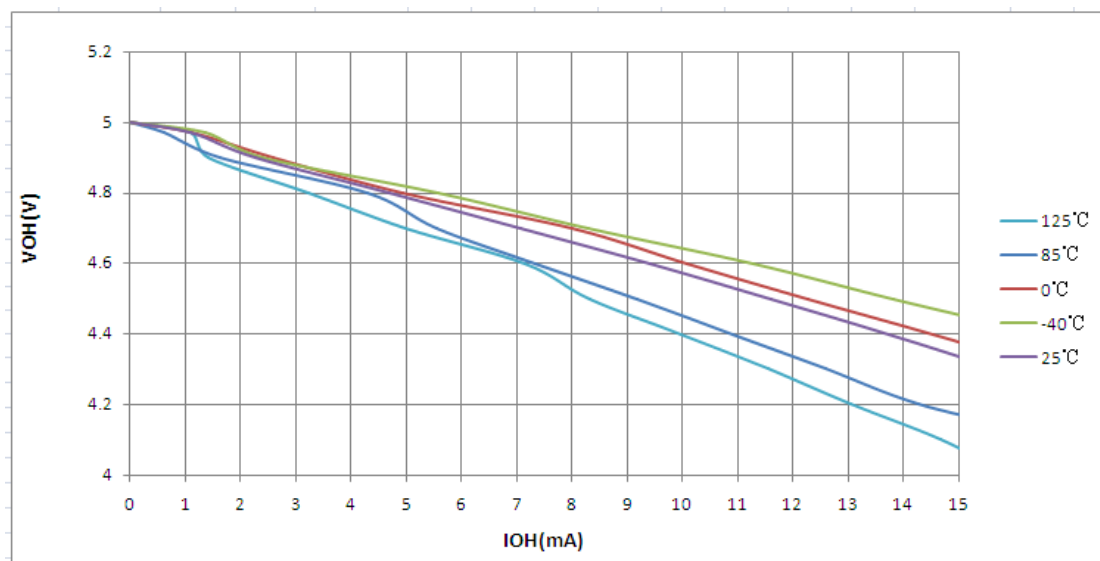


图14.9: 不同温度时 V_{OH} — I_{OH} 关系曲线图 ($V_{DD} = 3.0V$)

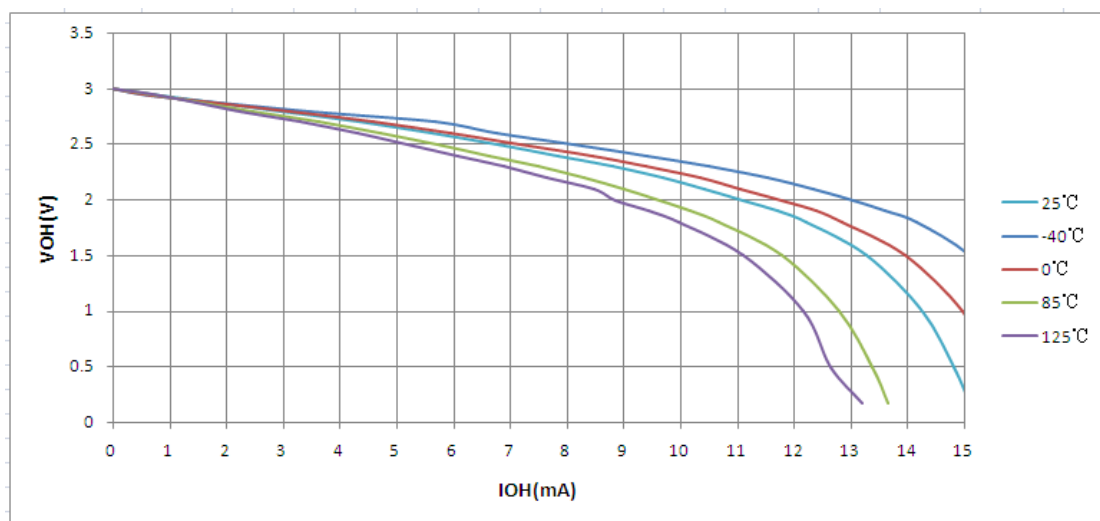


图14.10: 不同温度时 V_{OH} — I_{OL} 关系曲线图 ($V_{DD} = 5.0V$)

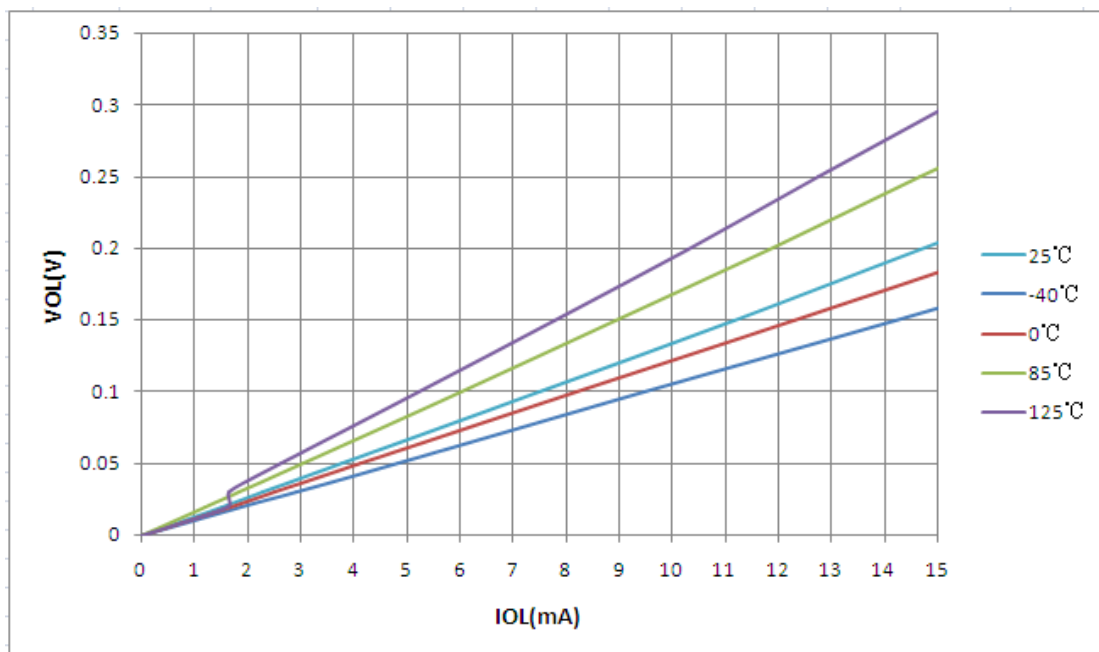
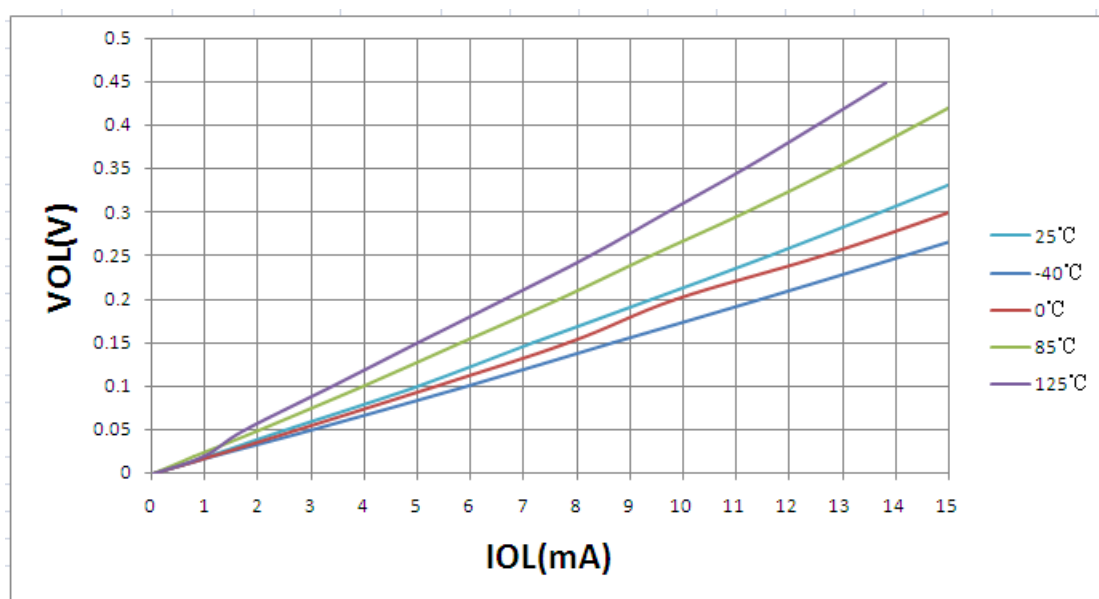
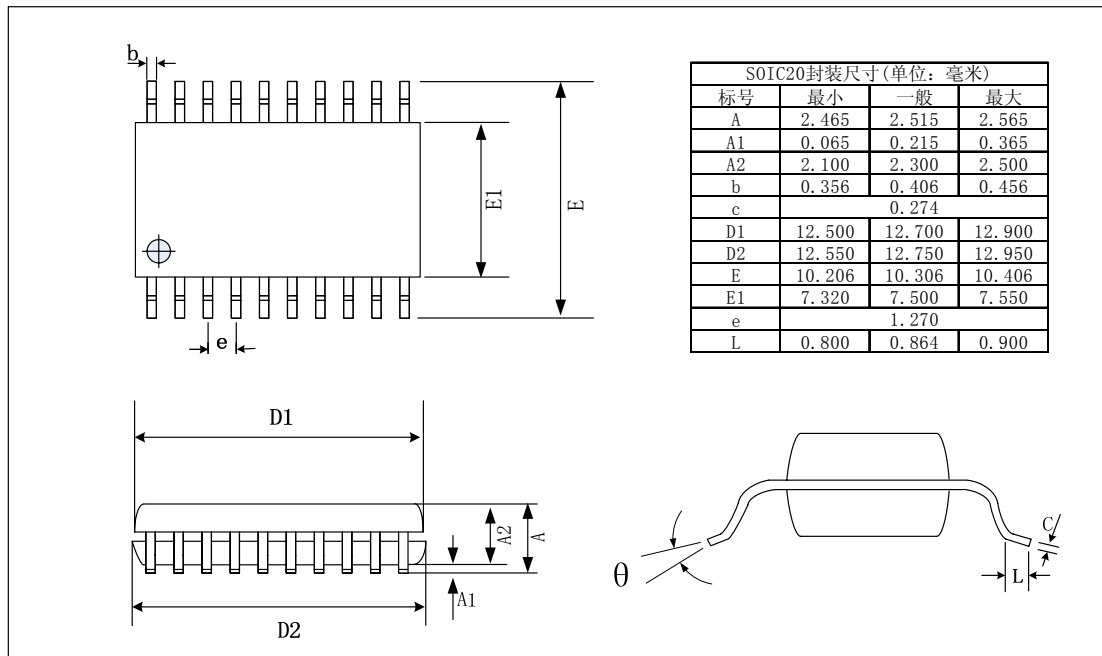


图14.11: 不同温度时 V_{OH} — I_{OL} 关系曲线图 ($V_{DD} = 3.0V$)

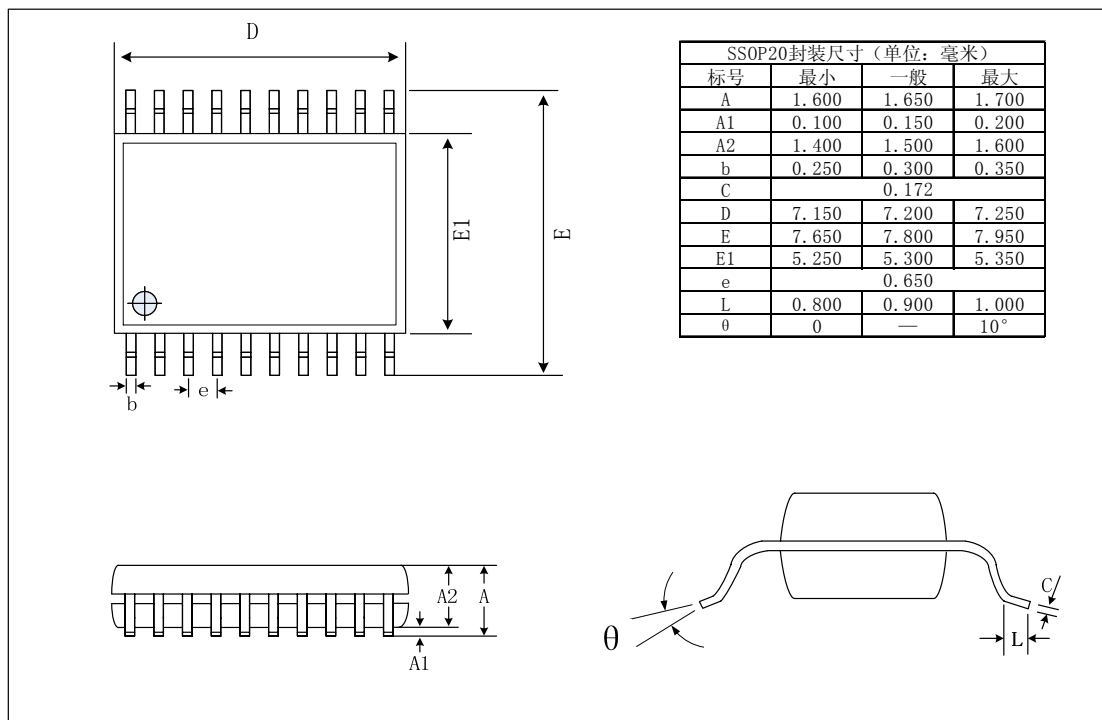


15 封装信息

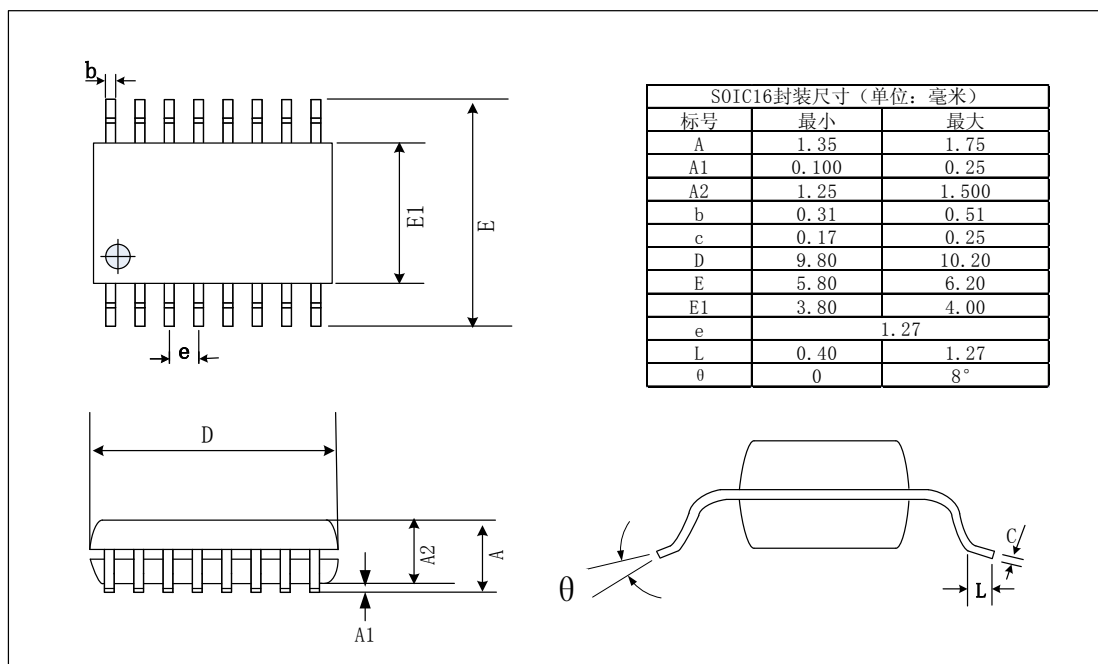
20 脚 SOIC 封装



20 脚 SSOP 封装



16 脚 SOIC 封装



附录 1 KF8V220 SFR 地址映射及功能汇总

地址	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	复位初值
01H	T0	定时/计数器 0(T0)寄存器								xxxx xxxx
02H	PCL	程序计数器(PC)低字节								0000 0000
03H	PSW	-	-	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	CY	0001 1xxx
05H	P0	-	-	P05	P04	P03	P02	P01	P00	-- xx xxxx
06H	P2	P27	P26	P25	P24	-	-	-	-	xxxx ----
07H	P1	P17	P16	P15	P14	P13	P12	P11	P10	xxxx xxxx
0AH	PCH	-	-	-	程序计数器(PC)高字节					---0 0000
0BH	INTCTL	AIE/ AIEH	PUIE /AIEL	TOIE	INT0IE	P0IE	TOIF	INT0IF	P0IF	0000 0000
0CH	EIF1	-	ADIF	INT2IF	INT1IF	C1IF	PWM2IF	-	T1IF	0000 0000
0EH	T1L	定时/计数器 T1 低字节寄存器								xxxx xxxx
0FH	T1H	定时/计数器 T1 高字节寄存器								xxxx xxxx
10H	T1CTL	-	T1GC	T1CKS1	T1CKS0	-	$\overline{T1SY}$	T1CS	T1ON	-000 -000
13H	PWM1L	PWM1 占空比设置寄存器								xxxx xxxx
14H	PWM1H	PWM1 寄存器								xxxx xxxx
15H	PWMCTL	INT2SE	INT1SE	-	-	PWM2 CKS	PWM1 CKS	PWM2ON	PWM1ON	11-- 0000
16H	PP1	PWM1 周期寄存器								1111 1111
19H	CM1CTL	C1OE	C1INS	C1VRS	C1IPS	-	C1P	C1OUT	C1EN	0000 -000
1CH	VRECAL1	内部参考电压校准值寄存器								0111 1111
1DH	ANSEH	-	-	-	-	ANS11	ANS10	ANS9	ANS8	---- 0000
1EH	ADCDATA H	ADC 数据寄存器高字节								xxxx xxxx
1FH	ADCCTL0	ADLR	-	CHS3	CHS2	CHS1	CHS0	START	ADEN	0000 0000
21H	OPTR	PUPH	INT0SE	TOCS	TOSE	PSA	PS2	PS1	PS0	1111 1111
22H	IP0	-	-	-	-	-	PT0	PINT0	PP0	---- -000
23H	IP1	-	PADC	PINT2	PINT1	PC1	PPWM2	-	PT1	0000 0000
25H	TR0	-	-	TR05	TR04	TR03	TR02	TR01	TR00	1111 1111
26H	TR2	TR27	TR26	TR25	TR24	-	-	-	-	1111 ----
27H	TR1	TR17	TR16	TR15	TR14	TR13	TR12	TR11	TR10	1111 1111
28H	PUR2	-	-	-	-	PUR23	PUR22	PUR21	PUR20	---- 0000
29H	PUR1	PUR17	PUR16	PUR15	PUR14	PUR13	PUR12	PUR11	PUR10	0000 0000
2AH	VRECAL2	内部参考电压校准值寄存器								0111 0111
2BH	VRECTL1	-	-	-	-	VREOE	-	VREEN	-	--00 0000
2CH	EIE1	-	ADIE	INT2IE	INT1IE	C1IE	PWM2IE	-	T1IE	0000 0000
2EH	PCTL	-	-	-	SLVREN	IPEN	SWDTEN	$\overline{POR}$	$\overline{LVR}$	---1 000x
2FH	OSCCCTL	CKOEN	IRCS2	IRCS1	IRCS0	-	-	-	-	0010 ----
30H	OSCCAL0	晶振校准值寄存器 0								1000 0000
31H	ANSEL	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0	0000 0000
32H	PP2	PWM2 周期寄存器								1111 1111
33H	PWM2L	PWM2 占空比设置寄存器								xxxx xxxx
34H	PWM2H	PWM2 寄存器								xxxx xxxx
35H	PUR0	-	-	PUR05	PUR04	-	PUR02	PUR01	PUR00	1111 -111
36H	IOCL	-	-	IOCL5	IOCL4	IOCL3	IOCL2	IOCL1	IOCL0	0000 0000
37H	OSCCAL1	晶振校准值寄存器 1								0000 -001
3EH	ADCDATA L	ADC 数据寄存器低字节								xxxx xxxx
3FH	ADCCTL1	ADCCALI EN	ADCS2	ADCS1	ADCS0	VCFG1	VCFG0	ADCIM1	ADCIM0	0000 0000
45H	P0LR	-	-	P0LR5	P0LR4	P0LR3	P0LR2	P0LR1	P0LR0	xxxx xxxx
46H	P2LR	P2LR7	P2LR6	P2LR5	P2LR4	-	-	-	-	xxxx ----
47H	P1LR	P1LR7	P1LR6	P1LR5	P1LR4	P1LR3	P1LR2	P1LR1	P1LR0	xxxx xxxx
4CH	OSCCAL2	晶振校准值寄存器 2								xxxx xxxx
4DH	OSCCAL3	晶振校准值寄存器 3								xxxx xxxx

注：x =未知，- =未实现位，读为 0

附录 2 汇编指令集

助记符、操作数	指令说明	周期	影响标志
NOP	空操作指令	1	
NOPZ	空操作指令	1	
CRET	子程序返回指令	2	
RRET Rn,#data	立即数送到 Rn 中返回	2	
IRET	中断返回指令	2	
CWDT	WDT 清 0	1	
IDLE	进入休眠模式	1	
数据传送指令			
MOV dir	$dir \leftarrow (dir)$	1	Z
MOV Rn,dir	$Rn \leftarrow (dir)$	1	
MOV dir,Rn	$dir \leftarrow (Rn)$	1	
MOV Rn,#data	$Rn \leftarrow data$	1	
MOV Rn,Rs	$Rn \leftarrow (Rs)$	1	
LD Rn,[Rs]	$Rn \leftarrow ((Rs))$	1	
ST [Rn],Rs	$(Rn) \leftarrow (Rs)$	1	
SWAPR Rn,dir	$Rn <7:4> = dir <3:0> \quad Rn <3:0> = dir <7:4>$	1	
SWAP dir	$dir <7:4> = dir <3:0> \quad dir <3:0> = dir <7:4>$	1	
算术运算指令			
ADD Rm,dir	$Rm \leftarrow (Rm) + (dir)$	1	CY、DC、Z
ADD dir,Rm	$dir \leftarrow (Rm) + (dir)$	1	CY、DC、Z
ADD Rn,#data	$Rn \leftarrow (Rn) + data$	1	CY、DC、Z
ADD Rn,Rs	$Rn \leftarrow (Rn) + (Rs)$	1	CY、DC、Z
SUB Rm,dir	$Rm \leftarrow (dir) - (Rm)$	1	CY、DC、Z
SUB dir,Rm	$dir \leftarrow (dir) - (Rm)$	1	CY、DC、Z
SUB Rn,#data	$Rn \leftarrow data - (Rn)$	1	CY、DC、Z
SUB Rn,Rs	$Rn \leftarrow (Rs) - (Rn)$	1	CY、DC、Z
INC dir	$dir \leftarrow (dir) + 1$	1	Z
INCR dir	$R0 \leftarrow (dir) + 1$	1	Z
INC Rn	$Rn \leftarrow (Rn) + 1$	1	Z
DEC dir	$dir \leftarrow (dir) - 1$	1	Z
DECR dir	$R0 \leftarrow (dir) - 1$	1	Z
DEC Rn	$Rn \leftarrow (Rn) - 1$	1	Z
逻辑运算指令			
AND Rm,dir	$Rm \leftarrow (Rm) \wedge (dir)$	1	Z
AND dir,Rm	$dir \leftarrow (dir) \wedge (Rm)$	1	Z
AND Rn,#data	$Rn \leftarrow (Rn) \wedge data$	1	Z
AND Rn,Rs	$Rn \leftarrow (Rn) \wedge (Rs)$	1	Z
ORL Rm,dir	$Rm \leftarrow (Rm) \vee (dir)$	1	Z
ORL dir,Rm	$dir \leftarrow (dir) \vee (Rm)$	1	Z
ORL Rn,#data	$Rn \leftarrow (Rn) \vee data$	1	Z
ORL Rn,Rs	$Rn \leftarrow (Rn) \vee (Rs)$	1	Z
XOR Rm,dir	$Rm \leftarrow (Rm) \oplus (dir)$	1	Z
XOR dir,Rm	$dir \leftarrow (dir) \oplus (Rm)$	1	Z
XOR Rn,#data	$Rn \leftarrow (Rn) \oplus data$	1	Z
XOR Rn,Rs	$Rn \leftarrow (Rn) \oplus (Rs)$	1	Z
CLR Rn	$Rn = 0$	1	Z
CLR dir	$dir = 0$	1	Z

助记符、操作数	指令说明	周期	影响标志
CPLR dir	$R0 \leftarrow \neg(\text{dir})$	1	Z
CPL dir	$\text{dir} \leftarrow \neg(\text{dir})$	1	Z
CPL Rn	$Rn \leftarrow \neg(Rn)$	1	Z
RRCR dir	$R0 \leftarrow (\text{dir})$ 带进位 C 循环右移 1 位	1	CY
RRC dir	$\text{dir} \leftarrow (\text{dir})$ 带进位 C 循环右移 1 位	1	CY
RRC Rn	$Rn \leftarrow (Rn)$ 带进位 C 循环右移 1 位	1	CY
RLCR dir	$R0 \leftarrow (\text{dir})$ 带进位 C 循环左移 1 位	1	CY
RLC dir	$\text{dir} \leftarrow (\text{dir})$ 带进位 C 循环左移 1 位	1	CY
RLC Rn	$Rn \leftarrow (Rn)$ 带进位 C 循环左移 1 位	1	CY
位操作指令			
CLR dir,b	将 dir 的 b 位清 0	1	
SET dir,b	将 dir 的 b 位置 1	1	
CLR Rn,b	将 Rn 的 b 位清 0	1	
SET Rn,b	将 Rn 的 b 位置 1	1	
转移指令			
DECRJZ dir	$R0 \leftarrow (\text{dir}) - 1$, 为 0 跳过下一条指令	1/2	
DECJZ dir	$\text{dir} \leftarrow (\text{dir}) - 1$, 为 0 跳过下一条指令	1/2	
DECJZ Rn	$Rn \leftarrow (Rn) - 1$, 为 0 跳过下一条指令	1/2	
INCRJZ dir	$R0 \leftarrow (\text{dir}) + 1$, 为 0 跳过下一条指令	1/2	
INCJZ dir	$\text{dir} \leftarrow (\text{dir}) + 1$, 为 0 跳过下一条指令	1/2	
INCJZ Rn	$Rn \leftarrow (Rn) + 1$, 为 0 跳过下一条指令	1/2	
JNB dir,b	dir 的 b 位为 0 跳过下一条指令	1/2	
JB dir,b	dir 的 b 位为 1 跳过下一条指令	1/2	
JNB Rn,b	Rn 的 b 位为 0 跳过下一条指令	1/2	
JB Rn,b	Rn 的 b 位为 1 跳过下一条指令	1/2	
JMP #data12	无条件转移指令	2	
CALL #data12	子程序调用指令	2	

注： dir 为通用寄存器或特殊功能寄存器； Rn、Rs 表示 R0~R7； Rm 表示 R0~R3； #data 表示 8 位立即数； #data12 表示 12 位立即数； b 表示寄存器的第 b 位； [Rn] 表示 Rn 中的数值指向的地址中数据； () 表示特殊功能寄存器、通用数据寄存器或寄存器组中的数据。

附录 3 寄存器全称表

地址	名称	全称
01H	T0	Timer 0 register
02H	PCL	Program Counter Low register
03H	PSW	Program Status Word register
05H	P0	Port 0 register
06H	P2	Port 2 register
07H	P1	Port 1 register
0AH	PCH	Program Counter High register
0BH	INTCTL	Interrupt control register
0CH	EIF1	Enable Interrupt Flag register 1
0EH	T1L	Timer 1 Low register
0FH	T1H	Timer 1 High register
10H	T1CTL	Timer 1 Control register
19H	CM1CTL0	Compare 1 Control register 0
1CH	VRECAL1	Voltage Reference Calibration 1
1DH	ANSEH	Analog Numbers Select High
1EH	ADCDATAH	Analog Digital Convert Data High
1FH	ADCCTL0	Analog Digital Convert Control 0
21H	OPTR	Option Timer Register
22H	IP0	Interrupt Priority register 0
23H	IP1	Interrupt Priority register 1
25H	TR0	Trend Register 0
26H	TR2	Trend Register 2
27H	TR1	Trend Register 1
28H	PUR2	Pull-Up register 2
29H	PUR1	Pull-Up register 1
2AH	VRECAL2	Voltage Reference Calibration 2
2BH	VRECTL1	Voltage Reference Control 1
2CH	EIE1	Enable Interrupt Enable 1
2EH	PCTL	Power Control register
2FH	OSCCTL	Oscillator Control register
30H	OSCCAL0	Oscillator Calibration register 0
31H	ANSEL	Analog Numbers Select Low register
35H	PUR	Pull- Up Register
36H	IOCL	Input Output Control register
37H	OSCCAL1	Oscillator Calibration register 1
3EH	ADCDATAL	Analog Digital Convert Data Low register
3FH	ADCCTL1	Analog Digital Convert Control register 1
45H	P0LR	Port 0 Latch Register
46H	P2LR	Port 2 Latch Register
47H	P1LR	Port 1 Latch Register
4CH	OSCCAL2	Oscillator Calibration register 2
4DH	OSCCAL3	Oscillator Calibration register 3

产品标识体系



产品系列: KF8V = Value line 系列 KungFu 8 位单片机

产品型号: 220 = 220 型

封装形式: SD = SOIC16
 SG = SOIC20
 OG = SSOP20

版本信息

版本号	更新记录	时间	备注
1.0	新的数据手册		
1.1	修正了存储器地址的 BUG		
1.2	新增 PWM 时钟控制位	2016-5-5	历史版本使用时需对新增寄存器位进行配置，达到兼容目的。
	新增比较器的输入端选择控制位		
	新增比较器的使用说明		
	将 PUR 寄存器更正为 PUR0		
	新增 PWM4 输入选择位		
1.3	修改 SFR 复位值 修改细节内容	2016-6-25	

ROSH 认证

本产品已通过 ROSE 检测。

声明及销售网络

销售及服务网点

上海 TEL:021-50275927

地址 上海浦东张江科苑路 201 号